

# 233236

## CLRC663 Data sheet Chinese

---

Rev. 3.6 — 10 September 2013

This translated version is for reference only, and the English version shall prevail in case of any discrepancy between the translated and English versions.



---

**CLRC 663****高效能非接触式读写卡机解决方案**

---

3.6 版本 10.09.2013

产品数据表

**1 序言**

此文件描述非接触式读写卡机 CLRC663 之功能与电气规格。

**2 概要描述**

CLRC663 是高度集成的收发器芯片，用于 13.56 兆赫兹的非接触式通讯。CLRC663 收发器芯片支持下列操作模式

- 读写模式支持 ISO/IEC 14443A/MIFARE
- 读写模式支持 ISO/IEC 14443IB
- JIS X 6319-4 读写模式支持（等效于FeliCa<sup>1</sup>方案，请参阅章节 21.5）
- 相应于 ISO/IEC 18092 的被动发起方模式
- 读写模式支持 ISO/IEC 15693
- 读写模式支持ICODE EPC UID/EPC OTP
- 读写模式支持 ISO/IEC 18000-3 mode 3/ EPC Class-1 HF

CLRC663 能够透过内建发射器直接驱动外置天线与 ISO/IEC 14443A 或 MIFARE 卡片进行通信，而无需附加有源电路。数字模块负责全部的 ISO/IEC 14443A 组帧和错误检测功能（奇偶校验和 CRC 循环冗余校验）。

CLRC663支持MIFARE Classic 1K, MIFARE Classic 4K, MIFARE Ultralight, MIFARE Ultralight C, MIFARE PLUS和 MIFARE DESFire产品。CLRC663支持MIFARE高达848k位元/秒的更高双向传输速度。

CLRC663支持ISO/IEC 14443B第2和第3层的读写通信方案，除了防碰撞（Anti-collision）功能。防碰撞功能需在主机控制器的固件及更上层中执行。

CLRC663能进行FeliCa编码信号的解调和解码。FeliCa接收器器件提供为FeliCa编码信号的解调和解码电路。CLRC663处理，如CRC的FeliCa的制定和错误检测。CLRC663支持FeliCa高达424k位元/秒的更高速双向传输速度。

---

<sup>1</sup>下文内 FeliCa 将由 JIS X 6319-4 表示。

CLRC663支持与ISO/IEC 18092一致的P2P被动发起方模式。

CLRC663支持与ISO/IEC 15693, EPC UID和ISO/IEC 18000-3 mode 3/ EPC Class-1 HF一致的近距离通信协议。

可支持下列主机接口

- 串行外设接口 (SPI)
- 串行UART (类似RS232, 电压高低由引脚电压决定)
- I2C总线接口 (包括两种模式: I2C和I2CL)

CLRC663支持安全访问模块 (SAM) 的连接。一个专用独立的I2C接口用以连接SAM。SAM可以用于高安全的密钥存储和作为非常高性能的加密协处理器。NXP可提供专用的SAM用于连接CLRC663。

### 3 特性和优点

- 高射频输出功率的前端IC, 传输速度高达848 kbit/s
- 支持ISO/IEC 14443A/MIFARE, ISO/IEC 14443B和FeliCa
- 相符于ISO/IEC 18092的P2P被动发起方模式
- 支持ISO/IEC 15693, ICODE EPC UID和ISO/IEC 18000-3模式3/ EPC Class-1 HF
- 以读写模式支持MIFARE经典加密
- 低功耗卡片检测
- 符合“EMV非接触式协议规范V2.0.1”所要求的发射功率
- 天线连接仅需用最少量的外部元件
- 支持的主机接口:
  - ❖ SPI高达10 Mbit/s
  - ❖ I2C总线接口, 高速模式可达400 kBd, 超高速模式则可高达1000 kBd
  - ❖ RS232串行UART, 最高至1228.8 kBd, 电压水平由引脚电源电压决定
- 独立 I2C总线接口用于连接安全访问模块 (SAM)
  - ❖ 512字节大小的FIFO缓冲器提供最高通信性能
  - ❖ 灵活和高效的省电模式, 包括断电模式, 待机模式和低功耗卡片检测
- 由27.12 MHz晶振源通过集成的PLL产生系统时钟, 从而节省成本
- 3.3 V至5 V的电源
- 多达8个可自由编程的输入/输出引脚
- 与ISO/IEC 14443A/MIFARE卡的读写通信模式典型操作距离可达12厘米, 取决于天线的尺寸和调谐

## 4 快速参考数据

表1. 快速参考数据

符号	参数值	条件	最低	典型	最高	单位
VDD	电源电压		3	5	5.5	V
VDD (TVDD)	TVDD电源电压	[1]	3	5	5.5	V
VDD (PVDD)	PVDD电源电压		3	5	5.5	V
I <sub>pd</sub>	断电电流	PDOWN 引脚输入高电平	-	8	40	nA
		[2]				
IDD	电源电流		-	17	20	mA
IDD (TVDD)	TVDD电源电流	[3] [4]	-	100	200	mA
T <sub>amb</sub>	环境温度		-25	+25	+85	°C
T <sub>stg</sub>	储存温度	无电源电压应用	-40	+25	+100	°C

[1] VDD (PVDD) 的伏特必须与VDD一样或更低

[2] I<sub>pd</sub> 为所有电源电流总合

[3] IDD (TVDD) 取决于连接到TX1和TX2的VDD (TVDD) 及外部电路

[4] 典型值: 假定输出为13.56 MHz的情况下并使用差分驱动, 在引脚TX1和TX2之间的天线匹配电阻为40 Ω。

## 5 命令信息

表2. 命令信息

类型码	封装			
	名称	描述	12NC	版本
CLRC66301HN/TRAYB[1]	HVQFN32	塑料的热度强化极薄的四方扁平封装, 无引线; MSL1, 32个引脚+1个中心接地引脚; 实体 5x5x0.85毫米	9352 934 46551	SOT617-1
CLRC66301HN/TRAYM[2]			9352 934 46557	
CLRC66302HN/TRAYB[1]	HVQFN32	塑料的热度强化极薄的四方扁平封装, 无引线; MSL1, 32个引脚+1个中心接地引脚; 实体 5x5x0.85毫米	9352 973 32151	SOT617-1
CLRC66302HN/TRAYBM[2]			9352 973 32157	
CLRC66302HN/T/R[3]			9352 973 32118	

[1] 供货单位为1个芯片托盘

[2] 供货单位为5个芯片托盘

[3] 供货单位一卷6000只装

## 6 功能框图

模拟接口处理非接触式接口的天线信号之调制和解调。

非接触式UART管理由主机的非接触式接口的协议。

FIFO缓冲器确保主机与非接触式UART之间快速、便捷的数据传输。

寄存器组包含了模拟和数字功能的设置。

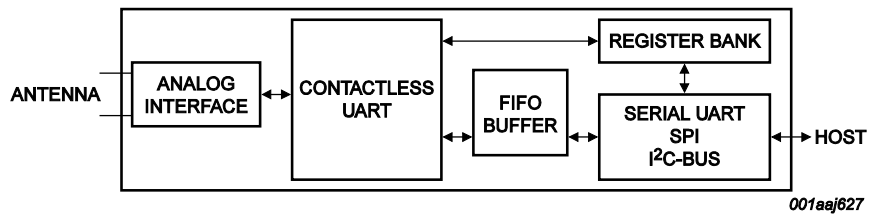


图 1. CLRC663 简化框图

## 7 引脚信息

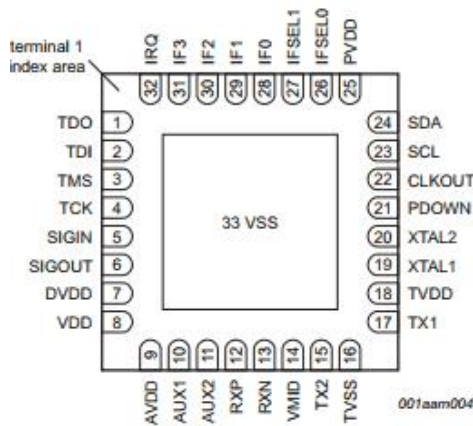


图 2. HVQFN32 (SOT617-1) 引脚配置

## 7.1 引脚说明

表3. 引脚说明

引脚	符号	类型	说明
1	TDO	O	边界扫描接口之测试数据输出
2	TDI	I	测试数据输入边界扫描接口
3	TMS	I	测试模式选择边界扫描接口
4	TCK	I	测试时钟边界扫描接口
5	SIGIN	I	非接触式通信接口输出
6	SIGOUT	O	非接触式通信接口输入
7	DVDD	PWR	数字电源缓冲 [1]
8	VDD	PWR	电源
9	AVDD	PWR	模拟电源缓冲[1]
10	AUX1	O	辅助输出: 引脚用于模拟测试信号
11	AUX2	O	辅助输出: 引脚用于模拟测试信号
12	RXP	I	接收器输入引脚用于已接收RF射频信号
13	RXN	I	接收器输入引脚用于已接收RF射频信号
14	VMID	PWR	内部接收器参考电压[1]
15	TX2	O	发射器2: 提供13.56 MHz载波调制
16	TVSS	PWR	提供给发射器输出级TX1, TX2的接地引脚
17	TX1	O	发射器1: 提供13.56 MHz载波调制
18	TVDD	PWR	发射器电源
19	XTAL1	I	晶振输入: 输入至振荡器的反相放大器。此引脚也用于外部生成时钟的输入 (FOSC=27, 12 MHz)
20	XTAL2	O	晶振输出: 输出至振荡器的反相放大器
21	PDOWN	I	关机
22	CLKOUT	O	时钟输出
23	SCL	O	串行时钟线
24	SDA	I/O	串行数据线
25	PVDD	PWR	引脚电源
26	IFSEL0	I	主机接口选择0
27	IFSEL1	I	主机接口选择1
28	IF0	I/O	接口引脚, 多功能引脚: 可分配给主机接口RS232, SPI, I2C, I2C-L
29	IF1	I/O	接口引脚, 多功能引脚: 可分配给主机接口 SPI, I2C, I2C-L
30	IF2	I/O	接口引脚, 多功能引脚: 可分配给主机接口RS232, SPI, I2C, I2C-L
31	IF3	I/O	接口引脚, 多功能引脚: 可分配给主机接口RS232, SPI, I2C, I2C-L
32	IRQ	O	中断请求: 输出信号以示意中断事件
33	VSS	PWR	接地引脚和散热器连接

[1] 该引脚用于连接缓冲电容。电源电压的连接可能会损坏器件。

8 功能说明

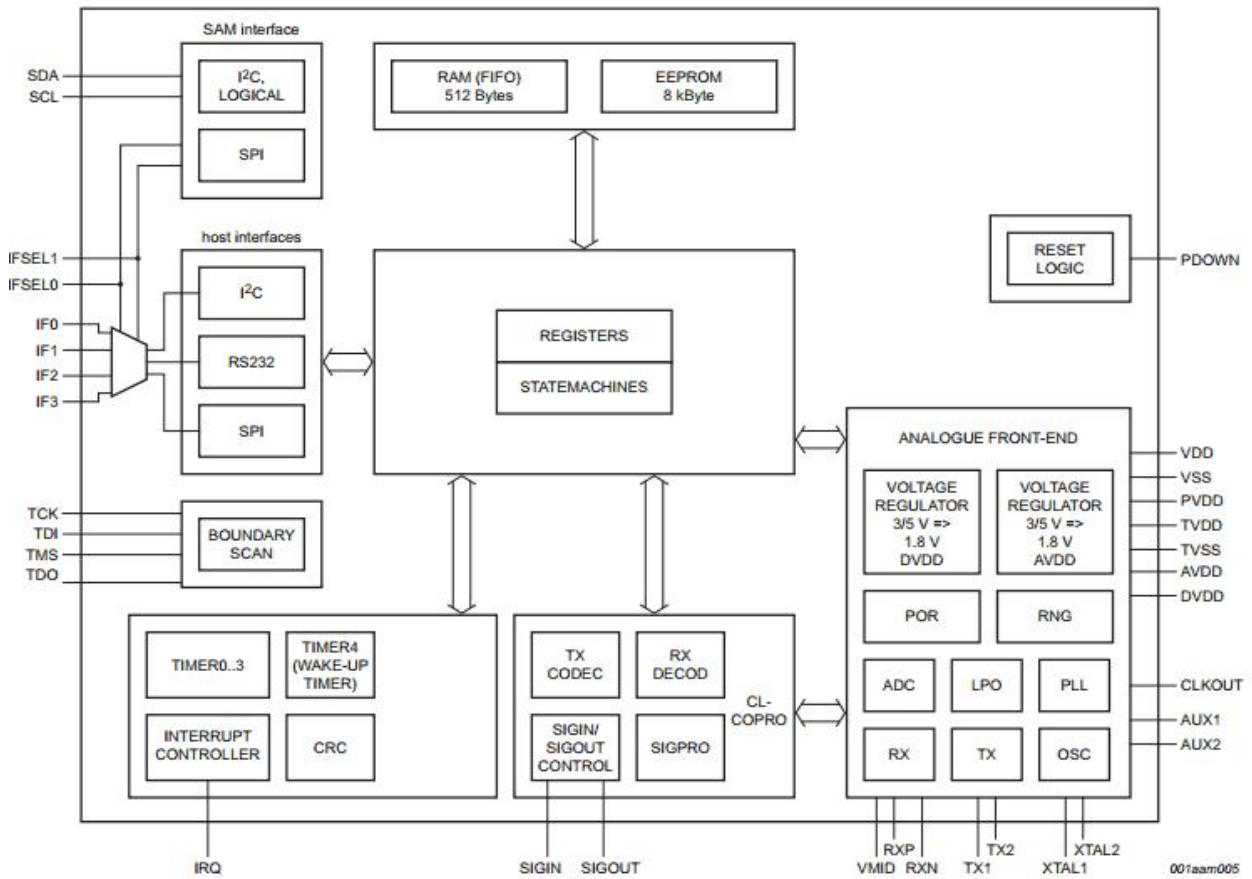


图 3. CLRC663 详细方框图

## 8.1 中断控制器

中断控制器处理中断请求的启用和禁用。所有的中断皆可由固件配置。此外，固件有触发中断或清除未决中断请求的权利。芯片内置两个8位的中断寄存器IRQ0和IRQ1，伴随两个8位的中断使能寄存器IRQ0En和IRQ1En。中断控制寄存器中的第7位拥有用于设置和清除第0到6位的专用功能。

CLRC663可以通过在Status1Reg寄存器中设置IRQ位来触发中断。此外，若IRQ引脚被启动，也可以通过主机的中断处理功能由IRQ引脚上的信号触发中断。这种方式使得主机软件能够更有效执行。

下表显示了可使用的中断位，相应源和其启动条件。IRQ1寄存器中的中断位Timernlirq指示由定时器单位引发的中断。如果定时器下溢，中断则被引发。

在IRQ0寄存器中的Txlrq位，显示传输已完成。如果状态由发送数据转为发送结束帧，发射机单位将自动设置中断位。

一旦检测到接收数据已结束，IRQ0寄存器中的Rxlrq位会显示中断。

寄存器IRQ0中的Idlelrq位将被设置，如果一个指令结束且命令寄存器的页面变成闲置。

水位以从FIFO缓冲器顶部和底部算起的单一值，定义最小和最大警告级别。

若HiAlert位设置被为逻辑1，IRQ0寄存器中的HiAlertlrq位则会被设置为逻辑1，即表示FIFO中的数据数量已达到水位字节设置的顶级水平。

若LoAlert位被设置为逻辑1，IRQ0寄存器中的LoAlertlrq位则会被设置为逻辑1，即表示FIFO中的数据数量已达到水位字节设置的最底层。

IRQ0寄存器中的Errlrq位元显示非接触式UART在接收时所检测到的错误。由错误寄存器中任一设置为逻辑1的位表示。

IRQ0寄存器中的LPCDirq位显示在低功耗卡片检测模式下检测到卡。

IRQ0寄存器中的RxSOFlrq位表示接收过程中由非接触式UART检测到的SOF或副载波。

IRQ1寄存器中的GlobalIRQ位显示，当任一其他被使能的中断源所产生的中断。



表4. 中断源

中断位	中断源	自动设置，当
Timer0Irq	定时器单位	定时器寄存器T0 CounterVal下溢
Timer01Irq	定时器单位	定时器寄存器T1 CounterVal下溢
Timer02Irq	定时器单位	定时器寄存器T2 CounterVal下溢
Timer03Irq	定时器单位	定时器寄存器T3 CounterVal下溢
TxIrq	传送器	传送数据流结束
RxIrq	接收器	接收数据流结束
IdleIrq	命令寄存器	命令执行结束
HiAlertIrq	FIFO缓冲器指针	FIFO数据量到达水位字节设置最高电平
LoAlertIrq	FIFO缓冲器指针	FIFO数据量到达水位字节设置最低电平
ErrIrq	非接触式UART	检测到通信错误
LPCDIrq	LPCD	在低功耗卡片检测模式下检测到卡
RxSOFIrq	接收器	SOF或副载波检测
GlobalIrq	所有中断源	另一中断请求源被设置时，将被设置

## 8.2 定时器模式

### 定时器模块概论

CLRC663集成5个定时器。其中4个定时器 - 从定时器0到定时器3 - 含有输入时钟，能经由T(x) Control寄存器配置为13.56 MHz, 212 kHz, (由27.12 MHz石英生成) 或以第5个定时器(定时器4)的下溢事件作为输入。每个定时器都含有一个16位的计数器寄存器。在TxReloadHi和TxReloadLo寄存器中，计数器重载值的定义范围从0000h到FFFFh。第五定时器(Timer4)用来作为唤醒定时器和连接到内部LPO(低功耗振荡器)的输入时钟源。

TControl寄存器允许全局启动和停止四个定时器(定时器0到定时器3)中任意一个。此外，此寄存器也能显示其中任意一个定时器的状态。这5个定时器每个都含有独立配置寄存器组，可定义定时器预设值(如: T0ReloadHi, T0ReloadLo)，定时器现有值(如: T0CounterValHi, T0CounterValLo)以及可定义启动，停止和时钟频率(例如T0Control)的条件。

外部主机可使用这些定时器来管理时序相关任务。定时器单位也可用于任一下列配置:

- 超时计数器
- 看门狗计数器
- 秒表
- 可编程单次触发定时器
- 定期触发器

定时器单位可用来测量两个事件之间的时间间隔，或显示经过一段时间后发生的特定事件。定时寄存器的内容由定时器单位来修改，可用来产生一个允许主机对此事件反应的中断。

定时器的计数器值可在寄存器T(x) CounterValHi, 和T(x) CounterValLo获得。这些寄存器的内容在每个时钟定时器中递减。

如果计数器值已经达到了值0000h且此特定定时器的中断被使能，进行到下一时序时会立即产生中断。

如果定时器事件使能，可在引脚 IRQ(中断请求)上显示。该位Timer(x) IRQ可以由主控制器设置和重置。依据配置，定时器在0000h时将停止计数，或者用T(x) ReloadHi, T(x) ReloadLo寄存器存储的预设值重新启动。

定时器的计数由TControl.T(x) Running位来显示。

定时器可由设置TControl.T(x) Running和TControl.T(x) StartStopNow 位来启动；或透过设置TControl.T(x) StartStopNow和清除TControl.T(x) Running位来停止。

启动定时器的另一种方式是设置T(x) Mode.T(x) start位，当有特定的协议需求时这种方式会被用到。

## 8.2.1 定时器模式

### 8.2.1.1 超时与看门狗定时器

经由设置T(x) ReloadValue寄存器，且由设置TControl.T(x) StartStop和TControl.T(x) Running位来启动定时器(x)计数来配置定时器后，定时器单位从已定义的启动条件满足时开始递减T(x) CounterValue寄存器。如果配置的停止条件在Timer(x)下溢之前发生（如：收到卡传来的一个位元），定时器单位会停止（不会产生中断）。

如果没有停止事件发生，定时器单位会继续递减计数器寄存器直到其含量为0，并在下一个时钟周期产生一个定时器中断请求。这允许用以指示主机，该事件在设定时间间隔内并未发生。

### 8.2.1.2 唤醒定时器

唤醒定时器4允许在预定的时间后，将系统从待机模式唤醒。该系统也可配置成另一方式，即在检测到任何卡的情况下，它可再次进入待机模式。

此功能可用于执行低功耗卡片检测（LPCD）。对于低功耗卡片检测，建议设置T4Control.T4AutoWakeUp和T4Control.T4AutoRestart，以启动Timer4并自动设置系统为待机模式。内部低功耗时钟振荡器（LPO），用来作为定时器4的输入时钟。如果检测到卡，主机通信模式会被启动。如果T4Control.T4AutoWakeUp位没有被设定，在没有检测到卡的情况下，CLRC663也不会再次进入待机模式，且会保持完全供电。

### 8.2.1.3 秒表

已配置的启动和停止事件之间的时间间隔，可用CLRC663定时器单位来衡量。透过设置寄存器T(x) ReloadValueHi, T(x) reloadValueLo, 定时器一经启动就会开始递减。如果配置停止事件发生，定时器便停止递减。启动和停止事件之间的时间间隔，可以由定时器 interval TTimer 决定的主机来计算：

$$\Delta T = ( T_{reload\ value} - T_{imer\ value} ) * T_{Timer} \quad (1)$$

如果根据IRQ引脚的中断信号检测到下溢事件发生，依据上列公式所得到测量便不正确。

### 8.2.1.4 可编程单次触发定时器

主机在IRQ引脚上配置中断和定时器，启动定时器并等待中断事件。在所设置的时间结束后，会发出中断请求。

### 8.2.1.5 定期触发

如果设置和启动中断T(x) Control.T(x) AutoRestart位，中断请求将被周期性地触发。

### 8.3 非接触式接口单元

- CLRC663非接触式接口单元支持下列读写操作模式：
- ISO/IEC 14443A/MIFARE
- ISO/IEC 14443B
- FeliCa
- ISO/IEC 15693/ICODE
- ICODE EPC UID
- ISO/IEC 18000-3 mode 3/ EPC Class-1 HF

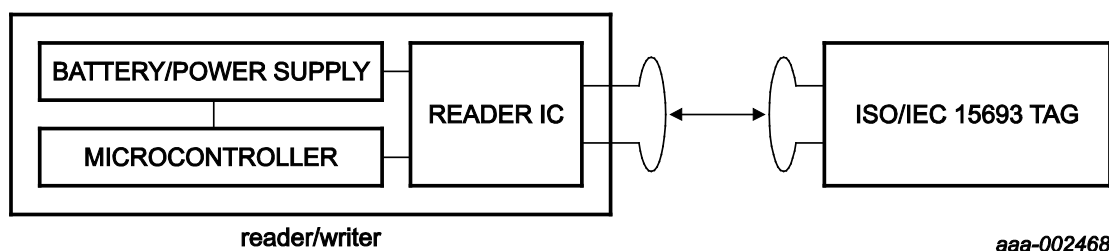
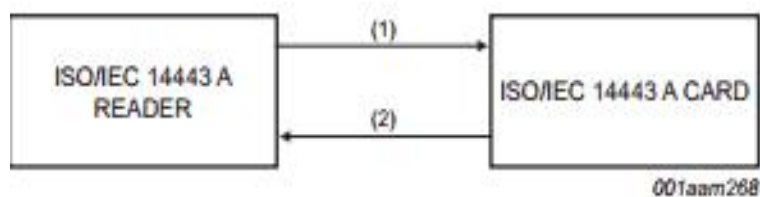


图 4. 读写模式

图示为使用CLRC663的典型系统，通常使用微控制器执行高层的非接触通信协议，和一个电源（电池或外部电源）。

#### 8.3.1 ISO/IEC 14443A/MIFARE 功能

通信的物理层，如图5所示。



- (1) 读卡机到卡，100% ASK，密勒编码，传输速度 106 kbit/s 至 848 kbit/s
- (2) 卡到读卡机，曼切斯特编码的副载波负载调制或者二进制移相键控(BPSK)，传输速度 106 kbit/s 至 848 kbit/s

图 5. ISO/IEC14443A/MIFARE 读写模式通信图

物理参数值如表5所述。

表 5. ISO/IEC 14443 A/MIFARE 读写器通信概况

通信方向	信号类型	传输速度			
		106 kbit/s	212 kbit/s	424 kbit/s	848 kbit/s
读卡机到卡（由 CLRC663 传送数据到卡） fc = 13.56 MHz	读卡机端调制	100 % ASK	ASK	ASK	ASK
	位编码	改进的密勒码	改进的密勒码	改进的密勒码	改进的密勒码
	比特率 [kbit/s]	fc/128	fc/64	fc/32	fc/16
卡到读卡机（CLRC663 从卡接收数据）	卡端调制	负载波负载调制	负载波负载调制	负载波负载调制	负载波负载调制
	负载波频率	fc/16	fc/16	fc/16	fc/16
	位编码	曼彻斯特	BPSK	BPSK	BPSK

CLRC663与主机间的连接需要管理全部ISO/IEC 14443A/MIFARE协议。图6显示与ISO/IEC 14443A/MIFARE相符的数据编码和组帧功能。

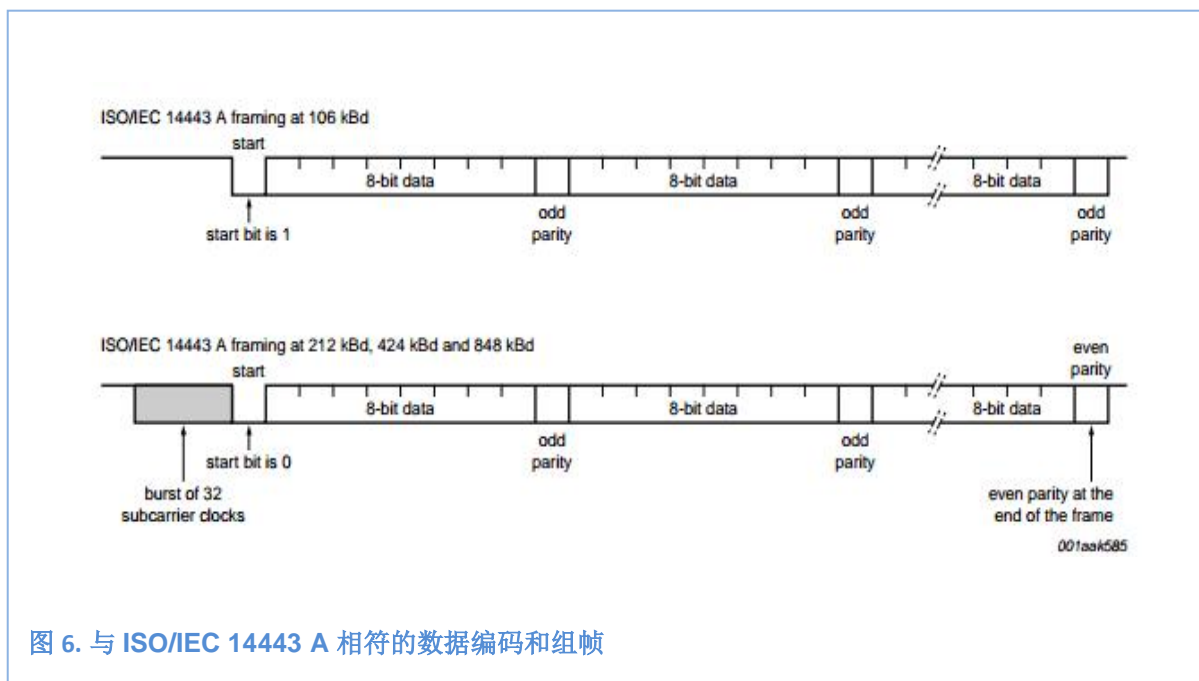


图 6. 与 ISO/IEC 14443 A 相符的数据编码和组帧

内部CRC协处理器将依据ISO/IEC14443A part3 计算CRC值，并根据传输速度处理内部奇偶校验。

### 8.3.2 ISO/IEC 14443B 功能

通信物理层如图7所示。

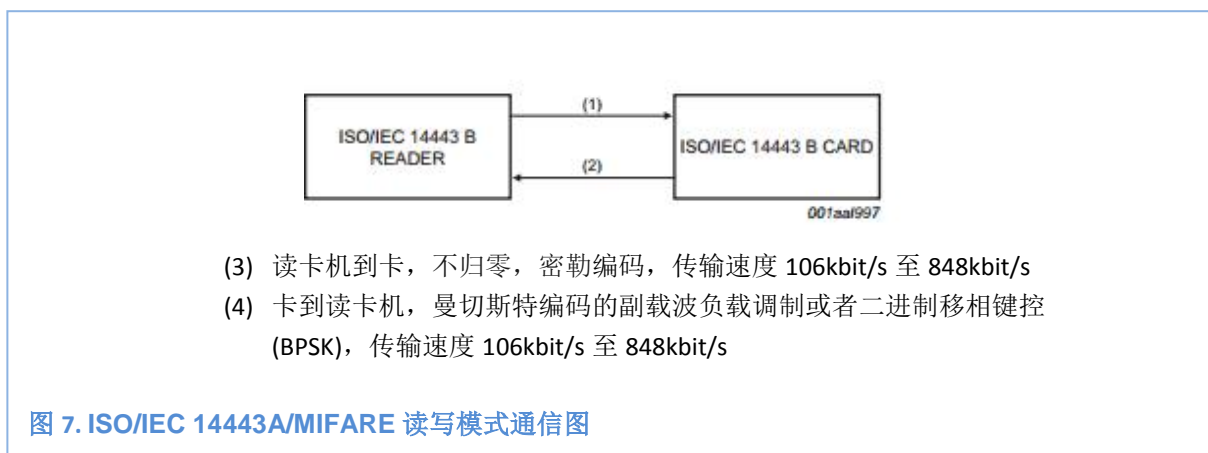


图 7. ISO/IEC 14443A/MIFARE 读写模式通信图

物理参数如表6所示。

表6. ISO/IEC 14443 B读写器通信概况

通信方向	信号类型	传输速度			
		106 kbit/s	212 kbit/s	424 kbit/s	848 kbit/s
读卡机到卡（由 CLRC663向卡传送数据） fc = 13.56 MHz	读卡机端调制	10 % ASK	10 % ASK	10 % ASK	10 % ASK
	位编码	NRZ	NRZ	NRZ	NRZ
	比特率[kbit/s]	fc/128	fc/64	fc/32	fc/16
卡到读卡机（CLRC663从卡接收数据）	卡端调制	副载波负载调制	副载波负载调制	副载波负载调制	副载波负载调制
	副载波频率	fc/16	fc/16	fc/16	fc/16
	位编码	BPSK	BPSK	BPSK	BPSK

CLRC663连接到主机，以管理全部的ISO/IEC 14443 B协议。下列图8 “相符于ISO/IEC 14443 B的SOF与EOF” 显示ISO/IEC 14443 B SOF和EOF。

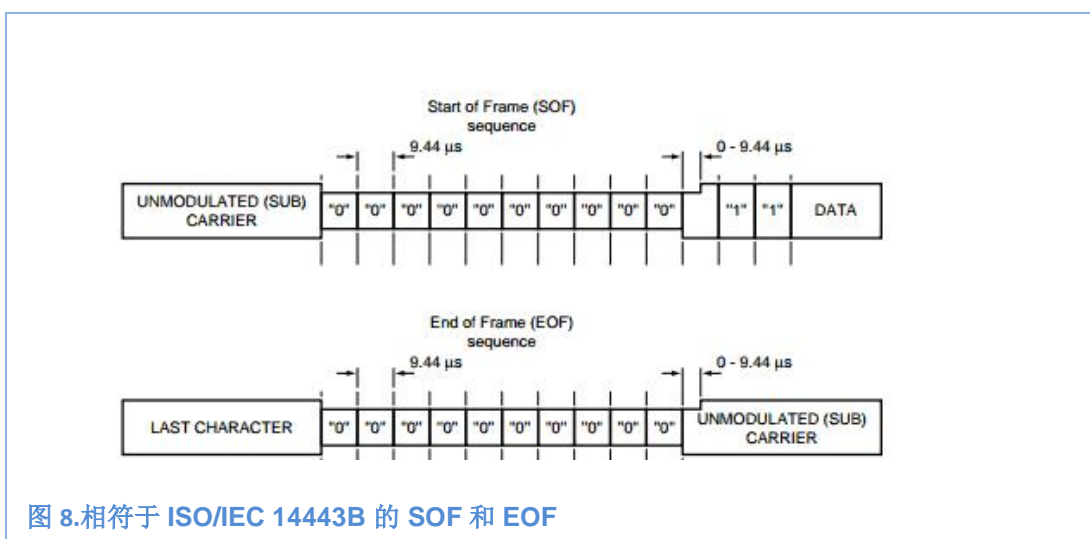


图 8.相符于 ISO/IEC 14443B 的 SOF 和 EOF

### 8.3.3 FELICA 功能

FeliCa模式是与FeliCa规范相符的一般读写器通信方案。物理层上的通信如图9所示。

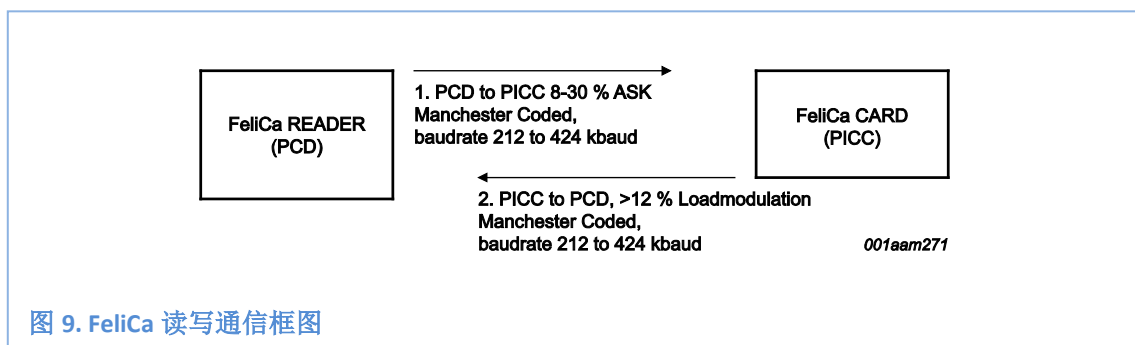


图 9. FeliCa 读写通信框图

物理参数如图7所示。

表7. FeliCa读写器通信概况

通信方向	信号类型	FeliCa传输速度	
		212 kbit/s	424 kbit/s
读卡机到卡（由CLRC663 传送数据到卡） fc = 13.56 MHz	读卡机端调制	8 %-30 % ASK	8 %-30 % ASK
	位编码	曼彻斯特编码	曼彻斯特编码
	比特率	fc/64	fc/32
卡到读卡机（CLRC663从 卡接收数据）	卡端调制	30/H <sup>1.2</sup> (H = field strength [A/m])	30/H <sup>1.2</sup> (H = field strength [A/m])
	位编码	曼彻斯特编码	曼彻斯特编码

CLRC663需要连接到一个专用的主机，以便能够支持完整FeliCa协议。

#### 8.3.3.1 FELICA 组帧与编码

表8. FeliCa组帧与编码

前导码 (Hex.)						同步字节 (Hex.)		长度	n-数据				CRC	
00	00	00	00	00	00	B2	4D							

一个6个字节的前导码（00h, 00h, 00h, 00h, 00h, 00h）和2个字节的同步字节（B2H, 4DH）需先被发送以同步接收器，才能使能FeliCa通信。

以下的字节长度表示，发送的数据字节加上LEN字节本身的长度。CRC计算是依高位在前（MSB first）原则下的FeliCa定义。

RF接口传输数据时，主机控制器需发送字节长度和数据字节到CLRC663的FIFO缓冲器。前同步码和同步字节由CLRC663自动生成，且绝对不能由主控制器写入FIFO。CLRC663将执行内部CRC计算，并将结果加入数据帧。

### 8.3.4 ISO/IEC 15693 功能

物理参数如表9所示。

表9. ISO/IEC 15693读写器到标签的通信概况

通信方向	信号类型	FeliCa传输速度	
		fc/8192 kbit/s	fc/512 kbit/s
读卡机到卡（由 CLRC663 传送数据到卡）	读卡机端调制	10 % - 30 % ASK 或 100 % ASK	10 % - 30 % ASK 或 90 % - 100% ASK
	位编码	1/256	1/4
	比特率	1.66 kbit/s	26.48 kbit/s

表10. ISO/IEC 15693 读写器到标签的概况

通信方向	信号类型	传输速度			
		6.62 (6.67) kbit/s	13.24 kbit/s[1]	26.48 (26.69) kbit/s	52.96 kbit/s
标签到读卡机（CLRC663从向卡接收数据） fc = 13.56 MHz	卡端调制	不支持	不支持	单（双）副载波负载调制 ASK	单副载波负载调制 ASK
	位长度 (μs)	-	-	37.76 (37.46)	18.88
	位编码	-	-	曼彻斯特编码	曼彻斯特编码
	副载波频率 [MHz]	-	-	fc/32 (fc/28)	fc/32

[1] 只有快速清单（页）读取命令（ICODE 专有命令）。

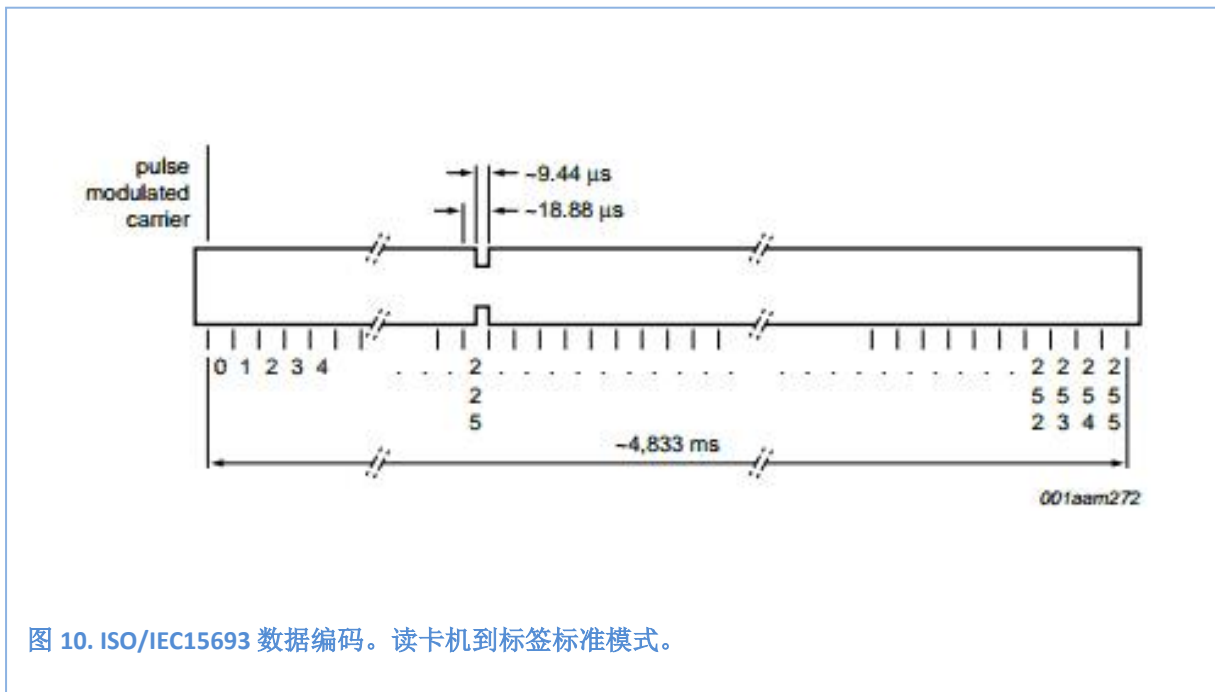


图 10. ISO/IEC15693 数据编码。读卡机到标签标准模式。



### 8.3.5 EPC-UID/UID-OTP 功能

物理参数如表11所示。

表11. EPC/UID 通信概况

通信方向	信号类型	传输速度	
		26.48 kbit/s	52.96 kbit/s
读卡机到卡（由 CLRC663 传送数据到卡）	读卡机端调制	10 % - 30 % ASK	
	位编码	RTZ	
		37.76 $\mu$ s	
卡到读卡机（CLRC663 从卡接收数据）	卡端调制	单副载波负载调制	
	位长度	18.88 $\mu$ s	
	位编码	曼彻斯特编码	

数据编码和组帧是依据 EPC global 13.56 MHz ISM（工业，科学和医疗）频段类别1 无线电频率识别标签的接口规范（候选推荐版本1.0.0）。

### 8.3.6 ISO/IEC 18000-3 MODE3/ EPC CLASS-1 HF 功能

ISO/IEC 18000-3 mode 3/ EPC Class-1 HF 在此文件中并无说明。有关更详尽的协议说明，请参阅 ISO/IEC 18000-3 mode 3/ EPC Class-1 HF 标准。

### 8.3.7 ISO/IEC 18092 模式

CLRC663 以 ISO/IEC 18092 标准所定义的 106 kbit/s，212 kbit/s 及 424 kbit/s 传输速度，支持被动发起方通信模式。

- 被动通信模式是指目标方通过负载调制回应发起方指令的模式。从提供射频场的角度讲，被动发起方仍然是有源器件。
- 发起方：在 13.56 MHz 下产生射频场，并开始 ISO/IEC 18092 通信。
- 目标方：在被动通信模式下的负载调制，或者主动通信模式下自主生成并调制射频场，来回应发起方指令。

8.3.7.1 被动通信模式

被动通信模式是指目标方运用负载调制回应发起方的命令。被动发起方生成射频场，从这个意义上发起方是有源器件。

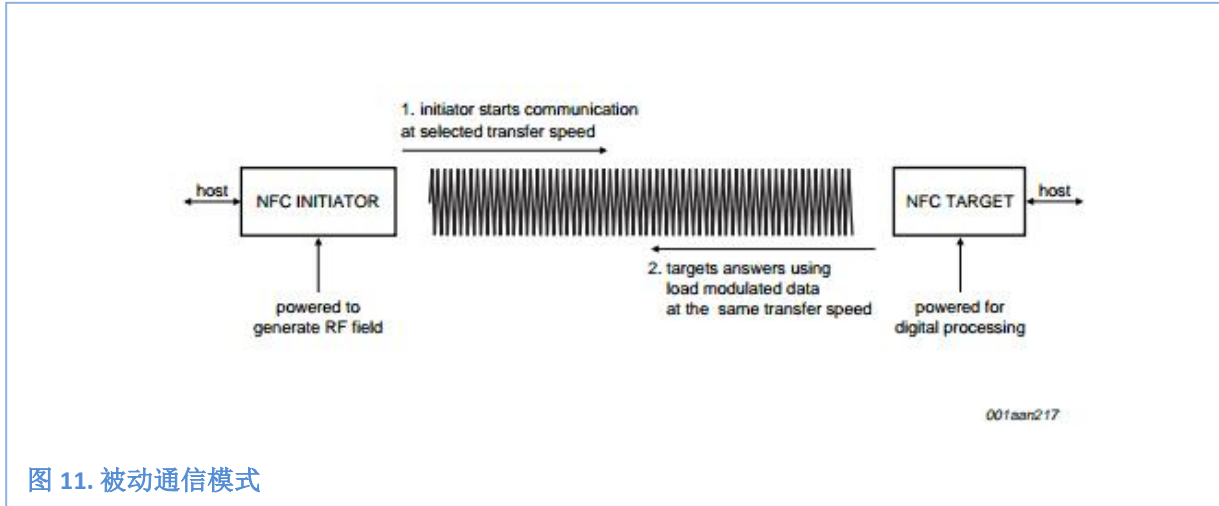


图 11. 被动通信模式

表12. 被动通信模式之通信概况

通信方向	106 kbit/s	212 kbit/s	424 kbit/s
启动程序 -> 目标方	依据ISO/IEC 14443A, 100 % ASK, 改进的密勒编码	依FeliCa, 8 % - 30 % ASK 曼彻斯特编码	
目标方-> 启动程序	依据ISO/IEC 14443A 副载波负调制, 曼彻斯特编码	依FeliCa, > 12 % ASK 曼彻斯特编码	

处理ISO/IEC 18092被动发起方协议，需要CLRC663非接触式UART和专用的主机控制器。

### 8.3.7.2 ISO/IEC 18092 组帧和编码

在被动通信模式中的ISO/IEC18092组帧和编码，是以ISO/IEC18092标准所定义。

表13. 组帧和编码概况

传输速度	组帧和编码
106 kbit/s	根据 ISO/IEC 14443A/MIFARE 方案
212 kbit/s	根据 FeliCa 方案
424 kbit/s	根据 FeliCa 方案

### 8.3.7.3 ISO/IEC 18092 协议支持

ISO/IEC 18092协议在此文件中并无介绍。更进一步的协议说明，请参阅ISO/IEC 18092标准。

## 8.3.8 EPC CLASS-1 HF 和 ICODE

### 8.3.8.1 数据编码 ICODE

ICODE协议主要有三种不同的数据编码方式：

- “4取1” 编码方案
- “256取1” 编码方案
- “归零 (RZ)” 编码方案

此三种编码方案的数据编码皆由ICODE生成器完成。

可支持的EPC Class-1 HF 模式为：

- 用于424 kbit副载波的2脉冲
- 用于424 kbit副载波的4脉冲
- 用于848 kbit副载波的2脉冲
- 用于848 kbit副载波的4脉冲

## 8.4 主机接口

### 8.4.1 主机接口配置

CLRC663支持多数主机的直接接口，如SPI，I2C，I2CL和序列UART接口类别。CLRC663在断电复位后自动检测主机接口类型。

CLRC663以在冷复位阶段后控制引脚上的逻辑电平来识别主机接口。这是透过固定引脚连接组合所完成。下列表格显示由IFSEL1，IFSEL0定义的可能配置：

表14. 检测不同接口类型的连接方案

引脚	引脚符号	UART	SPI	I2C	I2C-L
28	IF0	RX	MOSI	ADR1	ADR1
29	IF1	-	SCK	SCL	SCL
30	IF2	TX	MISO	ADR2	SDA

表 14. 检测不同接口类型的连接方案

引脚	引脚符号	UART	SPI	I2C	I2C-L
31	IF3	1	NSS	SDA	ADR2
26	IFSELO	0	0	1	1
27	IFSEL1	0	1	0	1

## 8.4.2 SPI 接口

### 8.4.2.1 简介

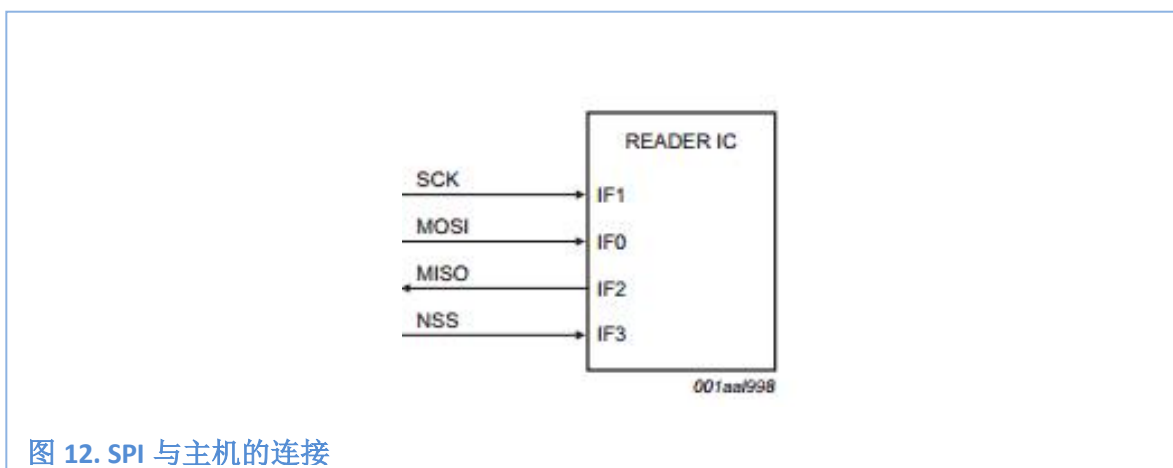


图 12. SPI 与主机的连接

CLRC663在SPI通信中作为从机。SPI时钟SCK必须由主机产生。从主机到从机的数据通信是使用MOSI线。MISO线用来将数据从CLRC663发送回主机。

一个串行外设接口（SPI兼容）支持使能到主机的高速通信。所应有的SPI兼容接口相符于标准SPI接口。SPI兼容接口能处理高达10 Mbit/s的数据传输速度。在与主机的通信中，CLRC663作为从机接受主机发出的寄存器设定，并在RF接口上发送和接收与通信相关的数据。

在两条数据线（MOSI，MISO）上，每个数据字节都在MSB为先原则下（MSB first）发送。MOSI线上的数据在时钟线（SCK）的上升沿应是稳定的，且在下降沿允许改变。相同情况对MISO线也是有效的。数据由CLRC663在下降沿提供，并且在上升沿是稳定。时钟极性在SPI闲置时是低的。

### 8.4.2.2 读取数据

若要使用SPI兼容接口自CLRC663读取数据，必须使用下列字节序。

发送的第一个字节用来定义模式（LSB位）与地址。

表15. MOSI与MISO的字节序

	字节0	字节1	字节2	字节3到n-1	字节n	字节 n+1
MOSI	address 0	address 1	address 2	...	address n	00h
MISO	x	data 0	data 1	...	data n-1	data n

**备注：**最高有效位（MSB）须先被发送

### 8.4.2.3 写入数据

若要使用SPI兼容接口写入数据到CLRC663，必须使用下列字节序。可以通过单一地址字节写入多于一个字节的的数据。（参阅8.5.2.4）

第一个发送字节定义了，模式本身与地址字节两者。

表16. MOSI与MISO的字节序

	字节0	字节1	字节2	字节3到n-1	字节n	字节 n+1
MOSI	address 0	data 0	data 1	...	data n-1	data n
MISO	x	x	x	...	x	x

备注：最高有效位（MSB）须先被发送

### 8.4.2.4 地址字节

地址字节需以下列格式履行：

第一个字节的最低位（LSB）定义使用模式。若要从CLRC663读取数据，LSB位需设置为逻辑1。若要向CLRC663写入数据，LSB位需被清除。6-0位用来定义地址字节。

注意：当写入序列[address byte][data1][data2][data3]...，[data1]会被写入地址[address byte]，[data2]会被写入地址[address byte + 1]，而[data3]则会被写入[address byte + 2]。

例外：如果数据被写入FIFO地址，此地址字节的自动增量则不会执行。

表17. 地址字节0寄存器；地址MOSI

7	6	5	4	3	2	1	0
address 6	address 5	address 1	address 3	address 2	address 1	address 0	1（读） 0（写）
MSB							LSB

### 8.4.2.5 SPI 时序规范

SPI接口的时序条件如下：

表18. SPI时序条件

符号	参数值	最小	类别	最大	单位
tSCKL	SCK 低电平时间	50	-	-	ns
tSCKH	SCK 高电平时间	50	-	-	ns
th (SCKH-D)	SCK 高电平到数据输入保留时间	25	-	-	ns
tsu (D-SCKH)	数据输入到SCK 高电平建立时间	25	-	-	ns
th (SCKL-Q)	SCK 低电平到数据输出保留时间	-	-	25	ns
t (SCKL-NSSH)	SCK 低电平到NSS高电平时间	0	-	-	ns
tNSSH	NSS高电平时间	50	-	-	ns

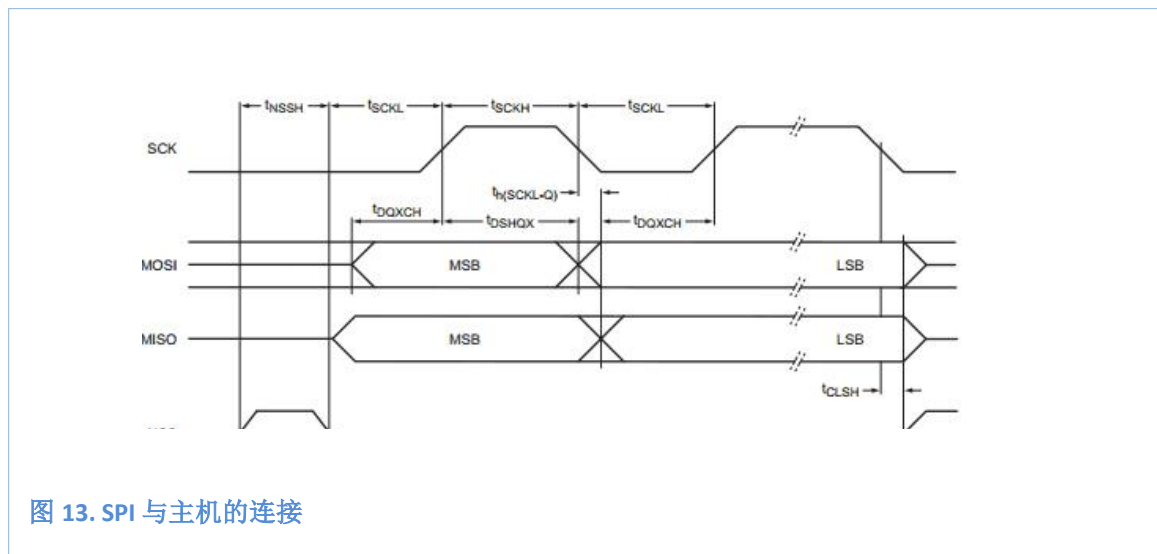


图 13. SPI 与主机的连接

**备注：**若要在一个数据流中发送更多字节，在发送过程中 NSS 信号必须是低（LOW）。若要发送多个数据流，在各数据流间的 NSS 信号则必须是高（High）。

### 8.4.3 RS232 接口

#### 8.4.3.1 传输速度的选择

内部 UART 接口可与 RS232 串行接口兼容。

表 20 “可选择的传输速度”介绍了不同的传输速度和相关的寄存器设置的例子。所有描述传输速度的所得传递速度误差小于 1.5%。默认传输速率为 115.2 kbit/s。

要改变传输速度，主机控制器必须向 SerialSpeedReg 寄存器写入新的传输速度值。BR\_T0 和 BR\_T1 位则定义要在 SerialSpeedReg 中设定传输速度的要素。

表 19 “BR\_T0 和 BR\_T1 的设置”说明 BR\_T0 和 BR\_T1 的设置。

表 19. BR\_T0和BR\_T1的设置

BR_T0	0	1	2	3	4	5	6	7
factor BR_T0	1	1	2	4	8	16	32	64
range BR_T1	1 to 32	33 to 64	33 to 64	33 to 64	33 to 64	33 to 64	33 to 64	33 to 64

表 20. 可选择的传输速度

传输速度 (kbit/s)	Serial SpeedReg	传输速度精确度 (%)
	(Hex.)	
7.2	FA	- 0.25
9.6	EB	0.32
14.4	DA	- 0.25
19.2	CB	0.32

表 20. 可选择的传输速度

传输速度 (kbit/s)	Serial SpeedReg	传输速度精确度 (%)
	(Hex.)	
38.4	AB	0.32
57.6	9A	- 0.25
115.2	7A	- 0.25
128	74	- 0.06
230.4	5A	- 0.25
460.8	3A	- 0.25
921.6	1C	1.45
1228.8	15	0.32

表中所示的可选择传输速度，是依据下列公式来计算的：

若 BR\_T0 = 0: 传输速度 = 27.12 MHz / (BR\_T1 + 1)

若 BR\_T0 > 0: 传输速度 = 27.12 MHz / (BR\_T1 + 33) / 2

**备注：** 高于 1228.8 kbits/s 的传输速度不被支持。

#### 8.4.3.2 组帧

表 21. UART 组帧

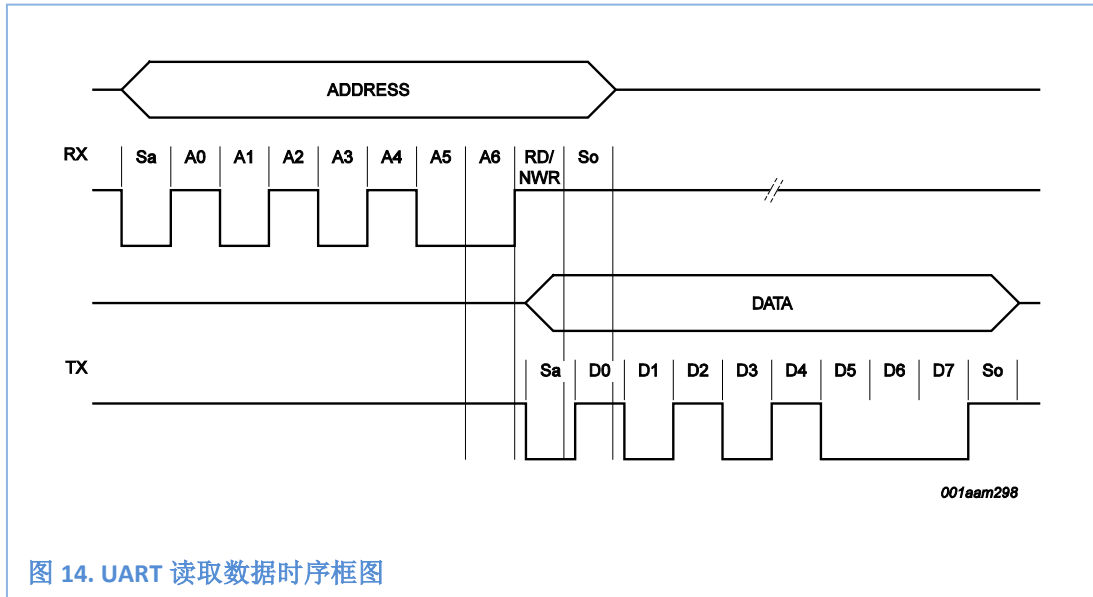
位	长度	值
起始位 (Sa)	1 bit	0
数据位	8 bit	数据
停止位 (So)	1 bit	1

**备注：** 数据与地址字节的 LSB 位需先被发送。传输过程中不需要使用奇偶校验位。

**读取数据：** 若要使用 UART 接口读取数据，必需使用下列描述的流。第一个发送字节定义模式本身和地址。引脚 IF3 上的触发器须被设置，否则无法读取数据。

表 22. 读取数据的字节序

模式	字节 0	字节 1
RX	address	-
TX	-	数据 0



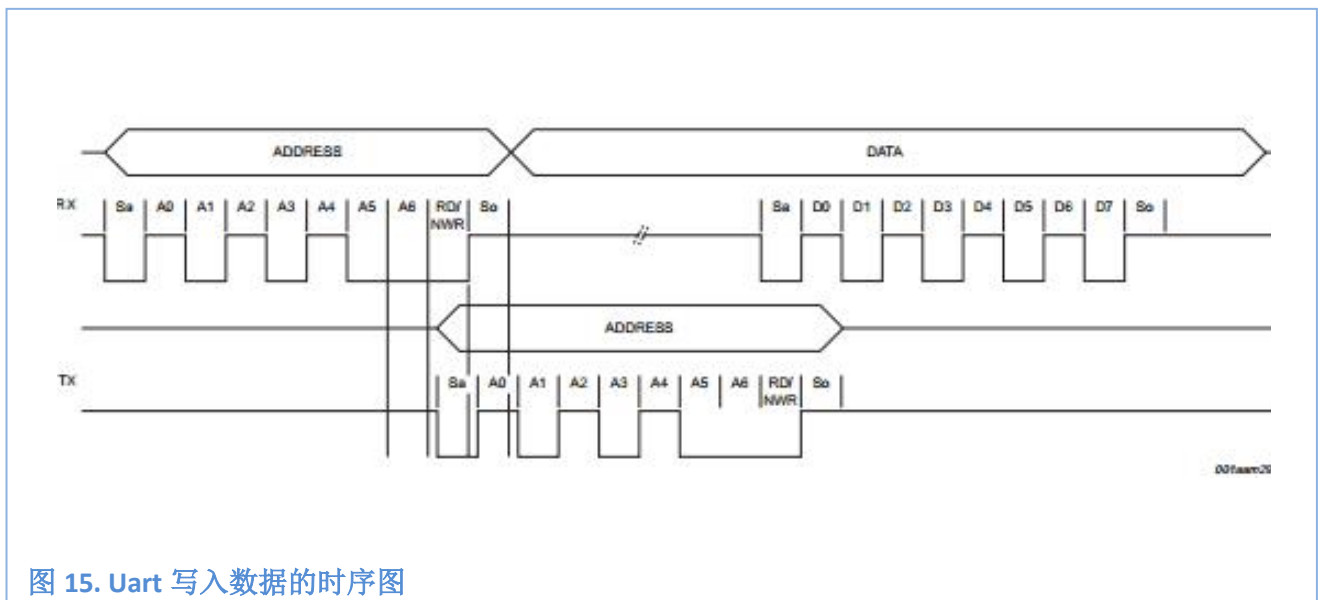
**写入数据:**

使用 UART 接口写入数据到 CLRC663，必须使用下列的序列。

第一个发送字节定义了模式本身和地址。

表 23. 写数据的字节序

模式	字节 0	字节 1
RX	address 0	data 0
TX		address 0



**备注:** 数据可在地址接收到前即被发送。



## 8.4.4 I2C 总线接口

### 8.4.4.1 概论

跨集成电路（I2C）总线接口可支持使能连接到主机的低成本，低引脚数的串行总线接口。内置的 I2C 接口主要依恩智浦半导体（NXP Semiconductors）订于 2007 年 6 月的 I2C 接口规范 3.0 版本执行。CLRC663 在标准模式，快速模式和超快速模式下，可作为从机接收器或从机发送器。

依恩智浦半导体 2007 年 6 月 3.0 版本所定义的 I2C 接口规范，下列各功能皆不被支持：

- CLRC663 I2C 接口不拉伸时钟
- CLRC663 I2C 接口不支持一般调用（call）。这表示 CLRC663 不支持软件复位
- CLRC663 不支持 I2C 器件 ID
- 内建接口只能在从机模式下进行。因此，CLRC663 并无内建时钟生成于访问仲裁
- CLRC663 不支持高速模式

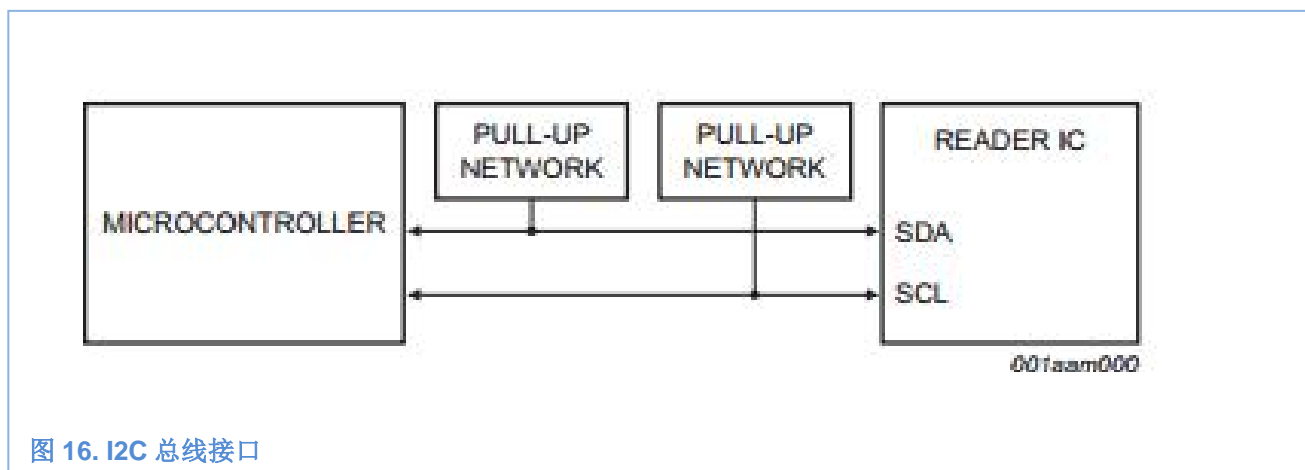


图 16. I2C 总线接口

SDA 是一条双向线，可透过上拉电阻连接到正电压。若没有数据传输的话，SDA 和 SCL 这两条线皆被设置为高电平。I2C 总线上的数据传输速率，在高速模式下可以高达 400 kbit/s，在更高速模式下则可高达 1 Mbit/s。

如果选择了 I2C 接口，依据 I2C 接口规范在 SCL 和 SDA 中的尖脉冲抑制会被自动启动。

对于时序需要，请参阅表 249 “高速模式和超高速模式下的 I2C 总线时序”。

### 8.4.4.2 I2C 数据的有效性

在 SDA 线上的数据在高时钟期间应是稳定的。数据线的高状态或低状态应只有在 SCL 上时钟信号为低（LOW）时，才可改变。

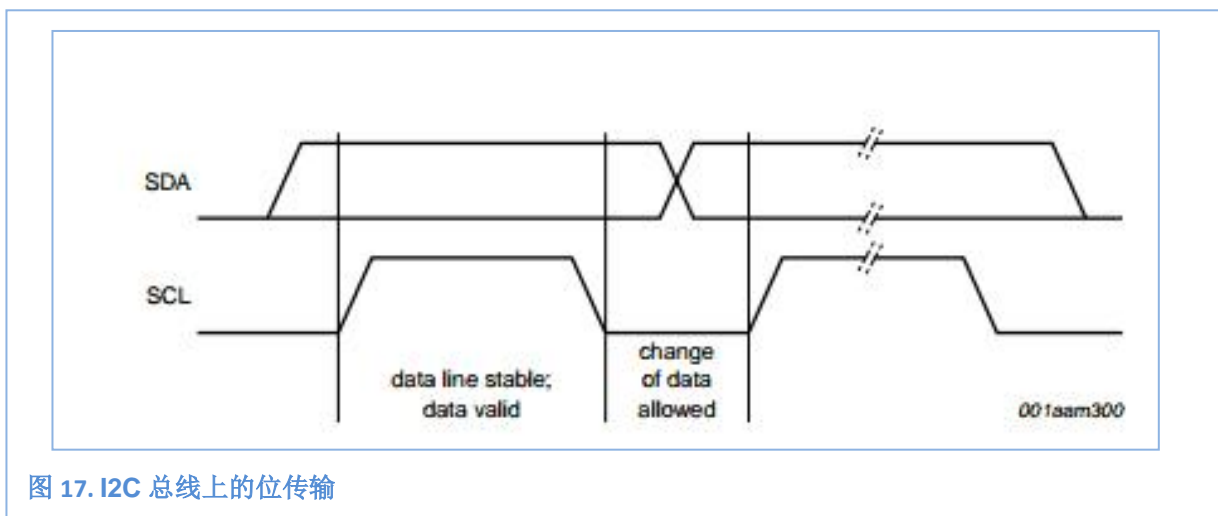


图 17. I2C 总线上的位传输

#### 8.4.4.3 I2C 起始 (START) 和停止 (STOP) 条件

为处理 I2C 总线上的数据传输，需定义独特的起始 (S) 和停止 (P) 条件。起始条件被定义为当 SCL 为高电平时，SDA 线上的电平由高至低的转换。停止条件被定义为当 SCL 为高电平时，SDA 线上的电平由低至高的转换。

生成起始和停止条件总是由主机生成。总线在起始条件后会被视为被占用。总线在停止条件一定时间后才会被视为可用。

如果重复启动条件 (SR) 被生成，而非停止条件的话，总线会保持被占用。在这方面，启动 (S) 和重复启动 (SR) 条件功能相同。因此，S 符号将被用来作为一个表示启动和重复启动 (SR) 的通用术语。

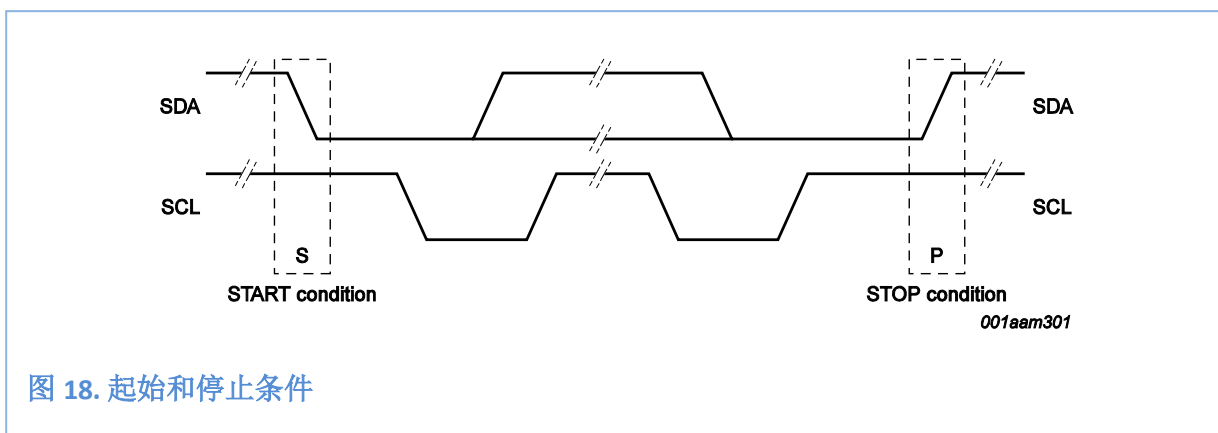


图 18. 起始和停止条件

#### 8.4.4.4 I2C 字节格式

每个字节必跟随一个应答位。数据传输以 MSB 在先原则下进行，请参见图 18 “起始和停止条件”。数据传输过程中的传输字节数并不受限制，但应符合读写周期格式。

#### 8.4.4.5 I2C 应答响应

数据传输必须带响应。相关的响应时钟脉冲由主机产生。主机或从机的数据传送器，会在应答响应时钟脉冲时释放 SDA 线（高电平）。接收器应在应答响应时钟脉冲时下拉 SDA 线，使其在该高时钟脉冲期间能保持稳定的低电平。

主机可以产生停止（P）条件来停止传输，或反重复始条件（SR）来开始新的传输。

传输中主机接收器必须通过在从机不产生时钟的最后一个字节产生一个响应，向从机发送器通知数据结束。

从机发送器应释放数据线，允许主机产生停止（P）或重复起始条件（SR）。

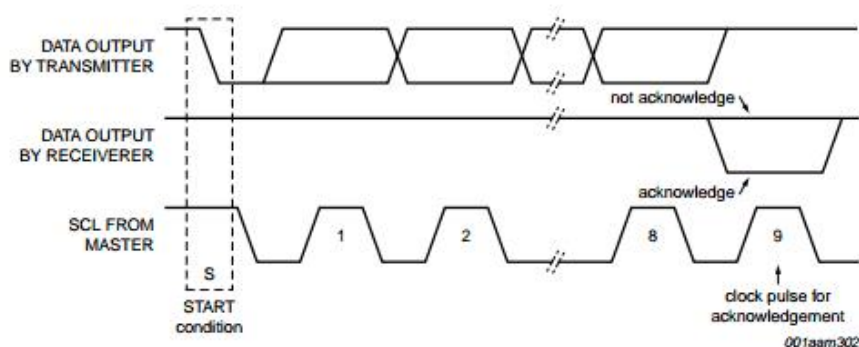


图 19. I2C 总线上的应答

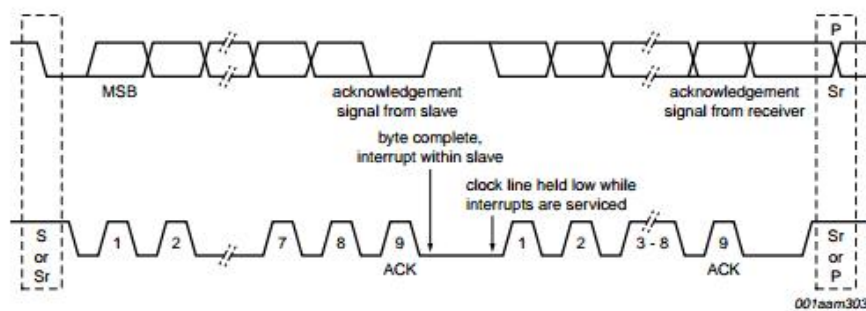


图 20. I2C 总线上的数据传输

#### 8.4.4.6 I2C 七位寻址

在 I2C 总线寻址过程中，起始条件后的第一个字节将用来决定主机将会选定的从机。

I2C 地址也可以在 EEPROM 中配置。地址号中的几个数位被预留。在器件配置时，设计者必须确保不会与系统中已保留的这些地址发生碰撞。请参照相应的 I2C 规范中保留地址的完整列表。

CLRC663 所有器件总线地址的上五位已由 NXP 预留且设置为 01010（二进制）。其余 2 位（ADR\_2，ADR\_1）的从机地址可以由客户自由配置，以防止与使用接口引脚（参阅表 14）或 I2C 地址 EEPROM 寄存器价值（参阅表 35）的其他 I2C 器件发生碰撞。

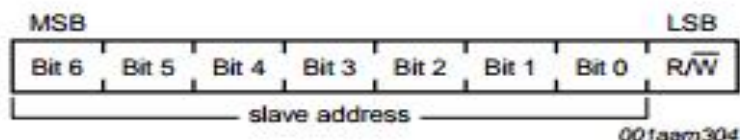


图 21. 起始程序后的第一字节

#### 8.4.4.7 I2C 寄存器的写入

由主机控制器通过 I2C 向 CLRC663 特定的寄存器写入数据，应使用以下的帧格式。

帧的第一个字节指示依 I2C 规则的器件地址。第二个字节指示需要写入的  $n$  个字节数据的寄存器地址。若地址指为 FIFO，所有的  $n$  个数据字节都会被写入到 FIFO 寄存器地址的同一个帧里面。是为了达到例如快速 FIFO 访问的目的。对其他任何地址，地址指针会自动递增，且数据会被写到指定地址 [address], [address+1], [address+2]... [address+ (n-1)]。

读写位应被设为 logic 0。

#### 8.4.4.8 I2C 寄存器读取

从 CLRC663 中特定的一个寄存器地址读出数据，主机控制器应使用以下步骤：

首先，写入到指定的寄存器地址，应如下所述的方式执行：

帧的第一个字节依 I2C 规则指示器件地址。第二个字节指示寄存器地址。不需要附加数据字节。

读写位应为 logic 0。

一旦以上的写入被执行，读取就会开始。主机发送 CLRC663 的设备地址。作为回应，CLRC663 发送前面所指定的寄存器地址下的内容。可用相同寄存器地址可以一次性读取  $n$  个数据字节。指向寄存器的地址会自动递增（例外：FIFO 寄存器地址不会自动递增）。这能够让寄存器内容被快速传输。地址指针会自动递增且数据可从指定地址 [address], [address+1], [address+2]... 到 [address+ (n-1)] 被读取。

为了支持高速FIFO数据传输，在地址指向到FIFO的情况下，地址指针不会自动递增。

读写位应被设为logic 1。

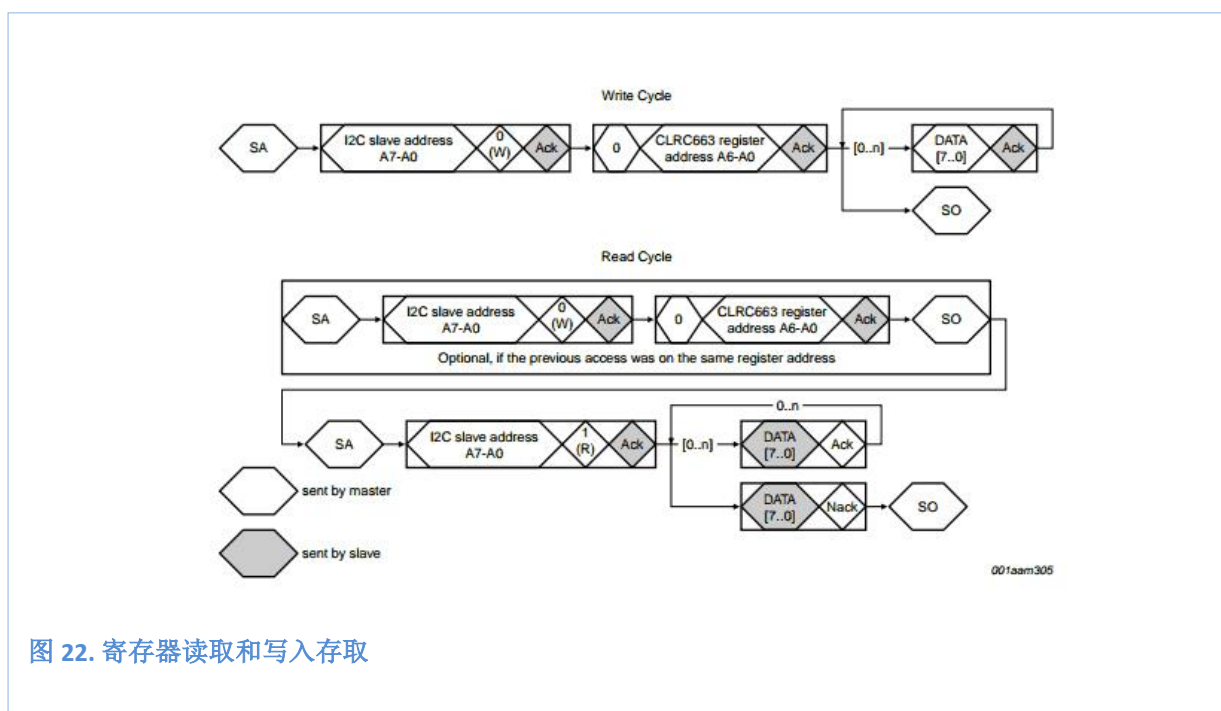


图 22. 寄存器读取和写入存取

#### 8.4.4.9 I2CL 总线接口

依据I2C接口的逻辑处理，CLRC663提供了额外的接口选项。此逻辑接口符合I2C规范，但上升/下降时序有别于I2C所定义的标准。它使用标准的I/O引脚进行通信，且通信速度上限为5MBaud。该协议本身等同于I2C高速模式协议。该地址为01010xxb，其地址的最后两位可由应用程序定义。此位定义可经由两个选项完成。若是用引脚，其中较高位设为0；或可通过EEPROM配置来定义。请参照章节8.7中之EEPROM配置。

表 24. I2CL 时序参数

参数	最小	最大	单位
fSCL	0	5	MHz
tHD;STA	80	-	ns
tLOW	100	-	ns
tHIGH	100	-	ns
tSU;SDA	80	-	ns
tHD;DAT	0	50	ns
tSU;DAT	0	20	ns
tSU;STO	80	-	ns
tBUF	200	-	ns

I2CL 接口并不需要上拉电阻。相反地，CLRC663 中内建了一个片内总线管理员（on chip buskeeper）以用于 I2CL 接口的 SDA。该协议用于器件在近距离点对点的连接且不支持总线功能。引脚驱动器必须强制线路到所需的逻辑电压。为了避免两个驱动器同时推挤线路电压，下列规定必须遵守：

**SCL:** 由于没有时钟拉伸，SCL 始终受主机控制。

**SDA:** SDA 线由主机和从机共享。因此，主机和从机必须能够掌握拥有自我驱动能力的 SDA 线。下列规则必须被遵循：

- 在空闲阶段 SDA 线由主机驱动高电平。
- 起始和停止条件之间的时间，当 SCL 为低时，SDA 线由主机或从机驱动。如果 SCL 为高时，SDA 线不会被任何器件驱动。
- SDA 线内建总线管理员架构，以保留线上数值。

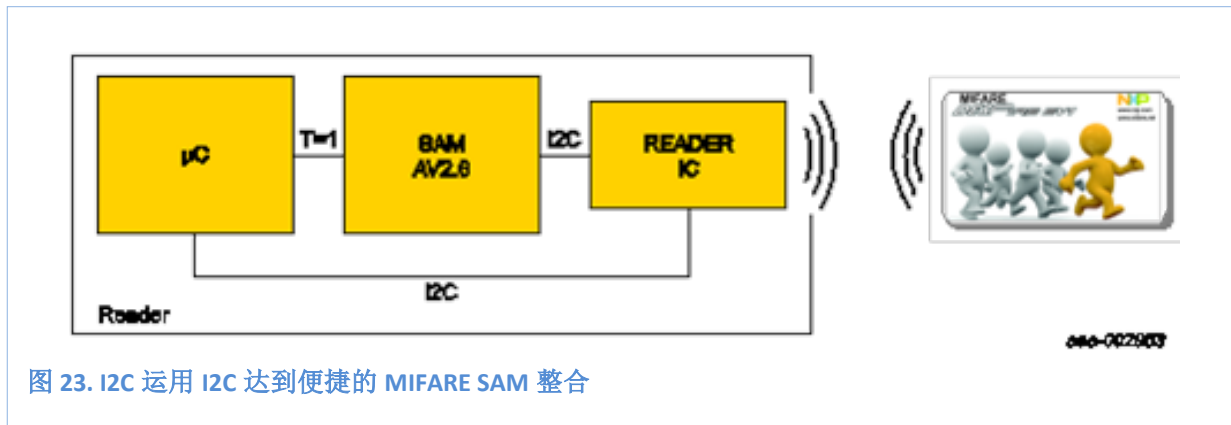
## 8.4.5 SAM 接口 I2C

### 8.4.5.1 SAM 功能

CLRC663 具有专用 I2C 接口功能，能以非常便捷的方式将 MIFARE SAM（安全访问模块）整合至应用程序中（例如，近距读卡机）。SAM 能被连接到微处理器如同加密协处理器般操作。在进行任何加密任务时，微处理器向 SAM 请求操作，接受回应并将它发送到读卡器芯片所连接的主机接口（例如：I2C，SPI）。

MIFARE SAM 提供优化的方法非常有效地整合 SAM，以减少协议开销。在该系统配置中，SAM 被整合至微处理器和读卡器芯片之间，连接读卡器芯片的一个接口及微控制器的另一个接口。在此应用程序中，微控制器使用 T=1 协议访问 SAM 且 SAM 使用 I2C 接口访问读卡器芯片。由于 SAM 直接与读卡器芯片沟通，通信开销可降低。在此配置下，传输时间的性能提升可高达 40%。

MIFARE SAM 支持使用 MIFARE 卡的应用程序。为了适应多应用的操作，建议使用额外直接连接微控制器到读卡器芯片的架构。可以将 CLRC663 通过其中一个接口（SAM 接口 SDA，SCL）连接 MIFARE SAM AV2.6（P5DF081XX/T1AR1070），并同时通过另一个 S2C 或者 SPI 接口连接到控制器芯片。



#### 8.4.5.2 SAM 连接

CLRC663 为其专用的 SAM 提供接口。为此目的，CLRC663 的两个接口选项，I2C 或 I2CL 都可使用。SAM 本身的接口选项由主机发送到 SAM 的主机命令来配置。

I2CL 接口用于两个芯片之间短距离内的使用连接。该协议符合 I2C 规范，但只支持连接到总线的单一器件。

#### 8.4.6 边界扫描接口

CLRC663 提供依据 IEEE 1149.1 的边界扫描接口。该接口允许在不使用物理测试探针情况下的测试互连。这是通过分配到各引脚，且会覆盖此引脚功能的测试储存单元来完成。要能编程边界扫描测试储存单元，以下命令需被支持：

表25. 边界扫描接口

值 (十进制)	命令	输入参数	输出参数
0	bypass	-	-
1	preload	data (24)	-
2	sample	-	data (24)
3	ID code (default)	-	data (32)
4	USER code	-	data (32)
5	Clamp	-	-
6	HIGH Z	-	-
7	extest	data (24)	data (24)
8	interface on/off	interface (1)	-
9	register access read	address (7)	data (8)
10	register access write	address (7) - data (8)	-

标准 IEEE1149.1 说明使用此接口必要的四个基本框：测试访问端口 (TAP)，TAP 控制器，TAP 指令寄存器，TAP 数据寄存器。

#### 8.4.6.1 接口信号

边界扫描接口在芯片和环境之间的接口需要 4 条信号线。有三个输入：测试时钟（TCK），测试模式选择（TMS），测试数据输入（TDI）和一个输出测试数据输出（TDO）。TCK 和 TMS 为广播信号，TDI 与 TDO 则组成被称为“扫描路径”的串行线。

这种技术的优点是，多数边界扫描器件为独立，其所有路径能由四条信号线管理。TCK 和 TMS 信号与边界扫描控制器直接连接。由于这些信号负责定义边界扫描模式，所以在同一扫描路径的边界扫描器件，都将运用同一边界扫描模式。

#### 8.4.6.2 测试时钟（TCK）

TCK 管脚是该模块的输入时钟。如果提供该时钟，测试逻辑就能够在任何其他系统时钟之外独立操作。此外，它确保多个以菊花链方式连接的边界扫描控制器，能在组件之间同步传送串行测试数据。在正常操作下，TCK 由一个自由运行的时钟驱动。必要时，TCK 可以延长在 0 或 1 的停止时间。当 TCK 被保持停留在 0 或 1 时，边界扫描控制器的状态保持不变，且指令和数据寄存器中的数据也不会丢失。TCK 引脚具有内置上拉电阻。这样可确保在非外界驱动时不会有时钟信号产生。

#### 8.4.6.3 测试模式选择（TMS）

TMS 管脚负责选择边界扫描控制器的下一个状态。TMS 在 TCK 的上升沿采样。边界测试根据当前边界扫描状态和 TMS 的采样值，进入下一个状态。因为 TMS 管脚在 TCK 的上升沿采样，IEEE 标准 1149.1 只允许 TMS 在 TCK 的下降沿进行改变。

在 5 个连续 TCK 周期中保持 TMS 在高位会驱动边界扫描控制器状态机进入测试逻辑复位状态。当边界扫描控制器进入测试逻辑复位状态，指令寄存器（IR）复位为默认指令 IDCODE。因此，这种序列可以用作复位机制。

TMS 引脚具有内部上拉电阻。

#### 8.4.6.4 测试数据输入（TDI）

TDI 引脚提供串行信息的输出流到 IR 链和 DR 链。TDI 在 TCK 的上升沿采样，并根据当前 TAP 状态及当前指令将此数据输出到合适的移位寄存器链。因为 TDI 管脚在 TCK 的上升沿采样，IEEE 标准 1149.1 只允许 TDI 在 TCK 的下降沿进行改变。

#### 8.4.6.5 测试数据输出（TDO）

TDO 引脚从 IR 链或 DR 链提供串行信息的输出流。TDO 值取决于当前 TAP 状态，当前指令和在链中被访问的数据。当端口未被使用时，为了节能，若无数据输出，TDO 管脚将被设置为非活动状态。由于在菊花链方式连接中 TDO 能够与另一器件的 TDI 相连，IEEE 标准 1149.1 只允许 TDO 在 TCK 的下降沿进行改变。



#### 8.4.6.6 数据寄存器

依据 IEEE 1149.1 标准，数据寄存器有两种定义类型：旁路寄存器和边界扫描寄存器。

旁路寄存器能在器件作为扫描路径的一部分时被绕过。串行数据能经由器件从 TDI 引脚被传输到 TDO 引脚，旁路寄存器能使数据绕过器件而不影响器件的操作。

边界扫描寄存器是边界储存单元的扫描链。寄存器大小由命令决定。

#### 8.4.6.7 边界扫描储存单元

边界扫描储存单元让硬件引脚可控并独立于其正常使用的功能。基本上储存单元只能做到以下几点之一：控制，输出和输入。

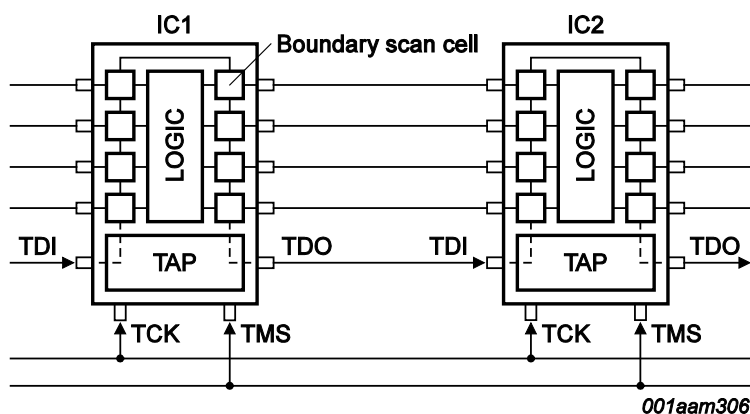


图 24. 边界扫描储存单元架构

#### 8.4.6.8 边界扫描路径

此章节显示 CLRC663 的边界扫描路径。

表 26. CLRC663 的边界扫描路径

数值（十进制）	储存单元	端口	功能
23	BC_1	-	Control
22	BC_8	CLKOUT	Bidir
21	BC_1	-	Control
20	BC_8	SCL2	Bidir
19	BC_1	-	Control
18	BC_8	SDA2	Bidir
17	BC_1	-	Control
16	BC_8	IFSELO	Bidir
15	BC_1	-	Control

表 26. CLRC663 的边界扫描路径（续上页）

数值（十进制）	储存单元	端口	功能
14	BC_8	IFSEL1	Bidir
13	BC_1	-	Control
12	BC_8	IF0	Bidir
11	BC_1	-	Control
10	BC_8	IF1	Bidir
9	BC_1	-	Control
8	BC_8	IF2	Bidir
7	BC_1	IF2	Output2
6	BC_4	IF3	Bidir
5	BC_1	-	Control
4	BC_8	IRQ	Bidir
3	BC_1	-	Control
2	BC_8	SIGIN	Bidir
1	BC_1	-	Control
0	BC_8	SIGOUT	Bidir

请参阅 CLRC663 BSDL 档案。

#### 8.4.6.9 边界扫描描述语言（BSDL）

所有的边界扫描器件都有一个唯一的边界结构，这是操作器件所必须知道。此语言的重要组成部分为：

- 可用的测试总线信号
- 顺应针（compliance pin）
- 命令寄存器
- 数据寄存器
- 边界扫描结构（储存单元的数量和类型，它们的功能与引脚的连接）

CLRC663 中 IO 线使用 BC\_8 储存单元。I2C 引脚则使用 BC\_4 储存单元。而所有引脚使能线都使用 BC\_1 储存单元。

制造商的识别号是 02Bh。

- CLRC663 的 IDCODEISTER 属性：实体是“0001”及 -- 版本号
- “0011110010000010b”及 -- 零件编号（3C82h）
- “00000010101b”及 -- 制造商（02Bh）
- “1B” - 强制性

用户码数据的编码是遵循：

- 产品 ID（3 个字节）
- 版本号

此四个字节被储存为 EEPROM 中的前四个字节。

#### 8.4.6.10 非 IEEE 1149.1 命令

接口开启与关闭：使用此命令，可停止主机或 SAM 接口，并启动边界扫描接口的读取和写入命令。（数据= 1）。使用 Update-DR，数值可被接管。

寄存器访问读取：在 Capture-DR，实际地址被读取和存储在 DR 中。

移位 DR 是在一个新的地址转换。使用 Update-DR 这个地址将被接管到实际地址。

## 8.5 缓冲器

### 8.5.1 概论

CLRC663 含有一个 512 x 8 位的 FIFO 缓冲器。它为 CLRC663 的主机和内部状态机之间的输入和输出数据流进行缓冲。因此，可在不考虑时序约束的情况下处理长达 512 字节长度的数据流。该 FIFO 也可被限定大小到 255 字节。在这种情况下，所有参数（FIFO 长度，水印.....）的定义只需要单一个字节。在 FIFO 长度为 512 字节的情况下，此值的定义则需要 2 个字节。

### 8.5.2 访问 FIFO 缓冲器

当微处理器启动命令，CLRC663 可以在命令执行过程中，依该命令访问 FIFO 缓冲器。

CLRC663 只有一个内置物理 FIFO 缓冲器用于输入与输出。所以微处理器需注意，不能以会损坏 FIFO 数据的方式访问 FIFO 缓冲器。

### 8.5.3 控制 FIFO 缓冲器

除了从 FIFO 缓冲器写入和读取，FIFO 缓冲器指针可通过在 FIFOControl 中设置 FIFOFlush 位为 1 的方式进行复位。复位之后 FIFOLevel 位被设置为逻辑 0，现有的实际存储字节将无法被读取，且 FIFO 缓冲器能再次被另一个 512 个字节（或 255 个字节如果 FIFOSize 位被设置为 1）填满。

### 8.5.4 FIFO 缓冲器状态信息

主机可获得 FIFO 缓冲器状态的以下数据：

- 已经存储在 FIFO 缓冲器的字节数。写入时递增，读取时递减 FIFO 的数据长度：存储在 FIFOLength（及在 512 字节模式下的 FIFOControl）寄存器中的 FIFOLength 位
- FIFO 缓冲器几乎溢满警告：FIFOControl 寄存器的 HiAlert 指示 FIFO 字节数达到 WaterLevel 寄存器的水位值（02h 寄存器位[2]，03h 寄存器位[7:0]）
- FIFO 缓冲器几乎清空警告：FIFOControl 寄存器的 LoAlert 指示 FIFO 字节数达到 WaterLevel 寄存器的水位（02h 寄存器位[2]，03h 寄存器位[7:0]）
- FIFOovl 位指示 FIFO 已经溢满时被写入数据：IRQ0 寄存器中 ErrIrq 位将被设置。

水位是个同时定义 HiAlert（从 FIFO 顶部算起）和 LoAlert（从 FIFO 底部算起）的单一值。CLRC663 可生成中断信号，如果：

- 当寄存器 FIFOControl 中的 LoAlert 变为 1 时，IRQ0En 寄存器中 LoAlertIRQEn 为 1，IRQ 引脚将被启动。
- 当寄存器 FIFOControl 中的 HiAlert 变为 1 时，如果 IRQ0En 寄存器中 HiAlertIRQEn 为 1，IRQ 引脚将被启动。

如果 FIFO 缓冲区可以被存储最高水位字节数（如水位寄存器中所设定）或更少的字节，则 HiAlert 位被设置为逻辑 1。其依据下列公式生成：

$$HiAlert = (FIFOSize - FIFOLength) \leq WaterLevel \quad (2)$$

如果 FIFO 缓冲区已经存储了水位字节（如水位寄存器中所设定）或更少的字节，则 LoAlert 位被设置为逻辑 1。其依据下列公式生成：

$$LoAlert = FIFOLength \leq WaterLevel \quad (3)$$

## 8.6 模拟接口和非接触式 UART

### 8.6.1 概论

集成的非接触式 UART 支持高达 848 kbit/s 的外部主机连接协议所要求的组帧和错误检查。外部电路可以连接到通信接口引脚 SIGIN 和 SIGOUT 进行调制和解调数据。

非接触式 UART 与主机合作以处理用于通信方案的协议要求。协议处理本身生成以位或者字节为基本单元的组帧，并处理根据不同的非接触式通信方案的错误检测，如奇偶和 CRC 校验。

天线的尺寸和调谐，以及芯片的电源电压，对可以生成的磁场强度会有影响。另外读写器和卡之间的操作距离也取决于所使用卡的类型。

### 8.6.2 TX 发射器

在 TX1 和 TX2 引脚上传递的信号是用于能量和数据传输的包络线信号所调制的 13.56 MHz 载波。在加入一些用于匹配和滤波的无源元件后，这些信号可以用来直接驱动天线。请参见第 14 章节“应用程序信息”。TX1 和 TX2 上的信号可被 DrvMode 寄存器配置，请参见 9.8.1 章节“TXMODE”。

调制指数可由 TxAmp 设置。下图显示了在调制过程中的一般关联。

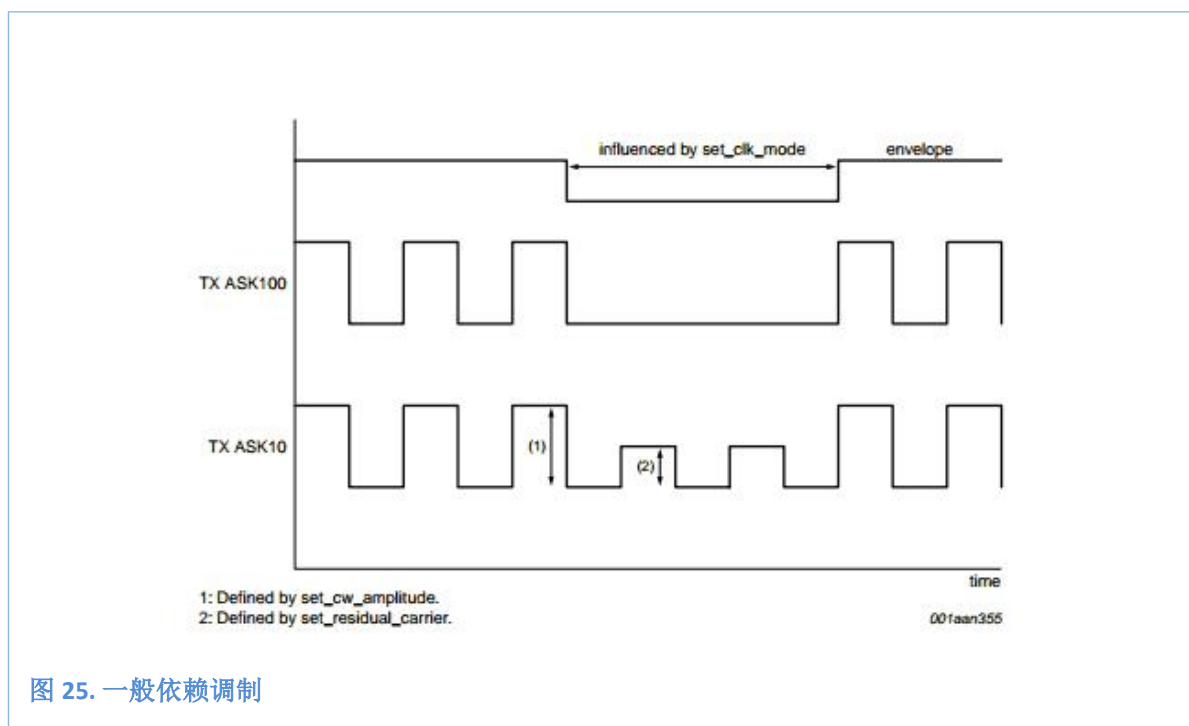


图 25. 一般依赖调制

注意：当改变连续载波的振幅，残余载波振幅也会改变，而调制指数保持不变。

第 9.8 节和第 9.10 节描述的寄存器控制数据传输速率，在传输过程中的组帧和天线驱动器的设置，以支持在不同指定模式和传输速度时的要求。

表 27. TX1 和 TX2 的设置

TxClockMode (二进制)	TX1 和 TX2 输出	备注
000	高阻抗	—
001	0	任何情况下，输出被拉至 0
010	1	任何情况下，输出被拉至 1
110	RF 高压推	漏极开路输出，只有由时钟，invtx 定义的时钟校验提供的电压上推 MOS; 低端 MOS 则为关闭
101	RF 低压拉	漏极开路输出，只有由时钟，invtx 定义的时钟校验提供的电压下拉 MOS; 高端 MOS 则为关闭
111	13.56 MHz 时钟源自 27.12 MHz 晶源除以 2	推挽操作，时钟极性由 invtx 定义；设置为 10 % 调制

TXamp 寄存器和 set\_residual\_carrier 位可定义调制指数：

表 28. 以 TXamp.set\_residual\_carrier 设置剩余载波和调制指数

set_residual_carrier (十进制)	剩余载波 [%]	调制指数 [%]
0	99	0.5
1	98	1.0
2	96	2.0
3	94	3.1
4	91	4.7
5	89	5.8
6	87	7.0
7	86	7.5
8	85	8.1
9	84	8.7
10	83	9.3
11	82	9.9
12	81	10.5
13	80	11.1
14	79	11.7
15	78	12.4
16	77	13.0
17	76	13.6
18	75	14.3
19	74	14.9
20	72	16.3
21	70	17.6
22	68	19.0

表 28. 以 TXamp.set\_residual\_carrier 设置剩余载波和调制指数 (...续上页)

set_residual_carrier	剩余载波 [%]	调制指数[%]
23	65	21.2
24	60	25.0
25	55	29.0
26	50	33.3
27	45	37.9
28	40	42.9
29	35	48.1
30	30	53.8
31	25	60.0

注意：在 VDD (TVDD) < 5 V 和残余载波设置 < 50 % 的情况下，依赖天线调谐阻抗里的调制指数的精度可能会低。

### 8.6.2.1 过冲保护

CLRC663 提供了 100 % ASK 的过冲保护，以避免 PCD 通信过程中的过冲。因此 2 个定时器 overshoot\_t1 和 overshoot\_t2 都可以使用。

在定时器 overshoot\_t1 运行时，输出驱动器输出由 set\_cw\_amplitude 位元定义的振幅。随后输出 overshoot\_t2 时长由 set\_residual\_carrier 位元定义的振幅。

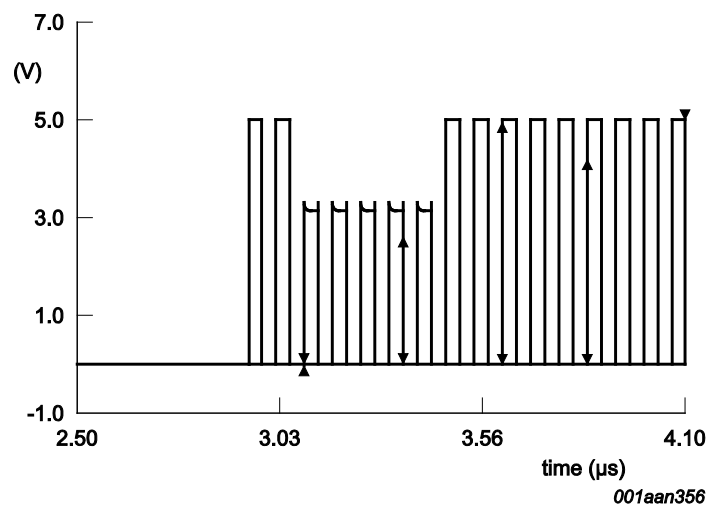


图 26. 范例 1: overshoot\_t1=2d; overshoot\_t2=5d



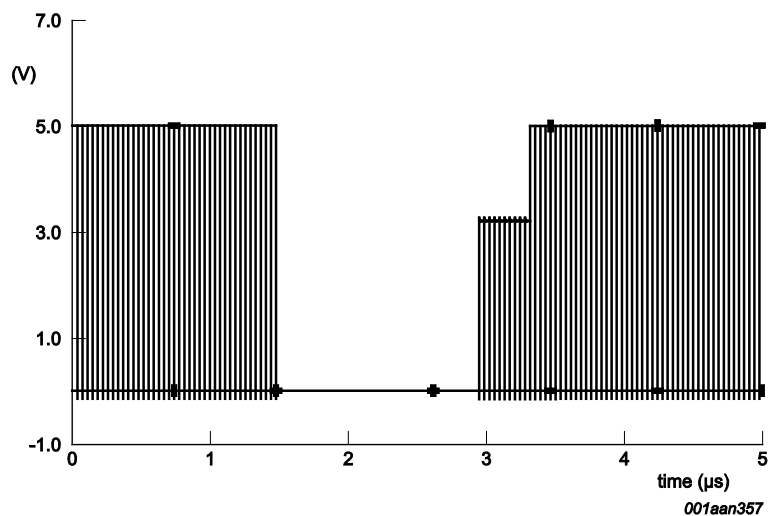


图 27. 范例 2: overshoot\_t1=0d; overshoot\_t2=5d

### 8.6.2.2 位发生器

数据流的默认编码是由位发生器产生。当 TxFrameCon.DCodeType 值设置为 0000（二进制）时被启动。位发生器以字节为基本编码单元，根据下述步骤对每个数据字节下编码。

1. 在每一个字节的开头添加指定类型的起始位
2. 添加指定类型的停止位和 EGT 位。EGT 位的最大数是 6，只支持全位
3. 添加指定类型的奇偶校验位
4. TxFirstBits（跳过在一个帧中第一个字节开头给定的位元数）
5. TxLastBits（跳过在一个帧中的最后一个字节尾端给定的位元数）
6. 数据加密位（MIFARE 加密）

TxFirstBits 和 TxLastBits 可同时被使用。如果只有单一数据字节被发送，必须确保 TxFirstBits 和 TxLastBits 的范围不重叠。应注意不可能跳过超过一个字节的 8 位！ $(8 - \text{TxFirstBits}) + (8 - \text{TxLastBits}) < 8$ 。

默认情况下，数据字节总是优先处理 LSB。要使用 MSB 优先的编码方式，CLCON1 寄存器中的 TxMSBFirst 需要预先被设置为 1。

## 8.6.3 接收器电路

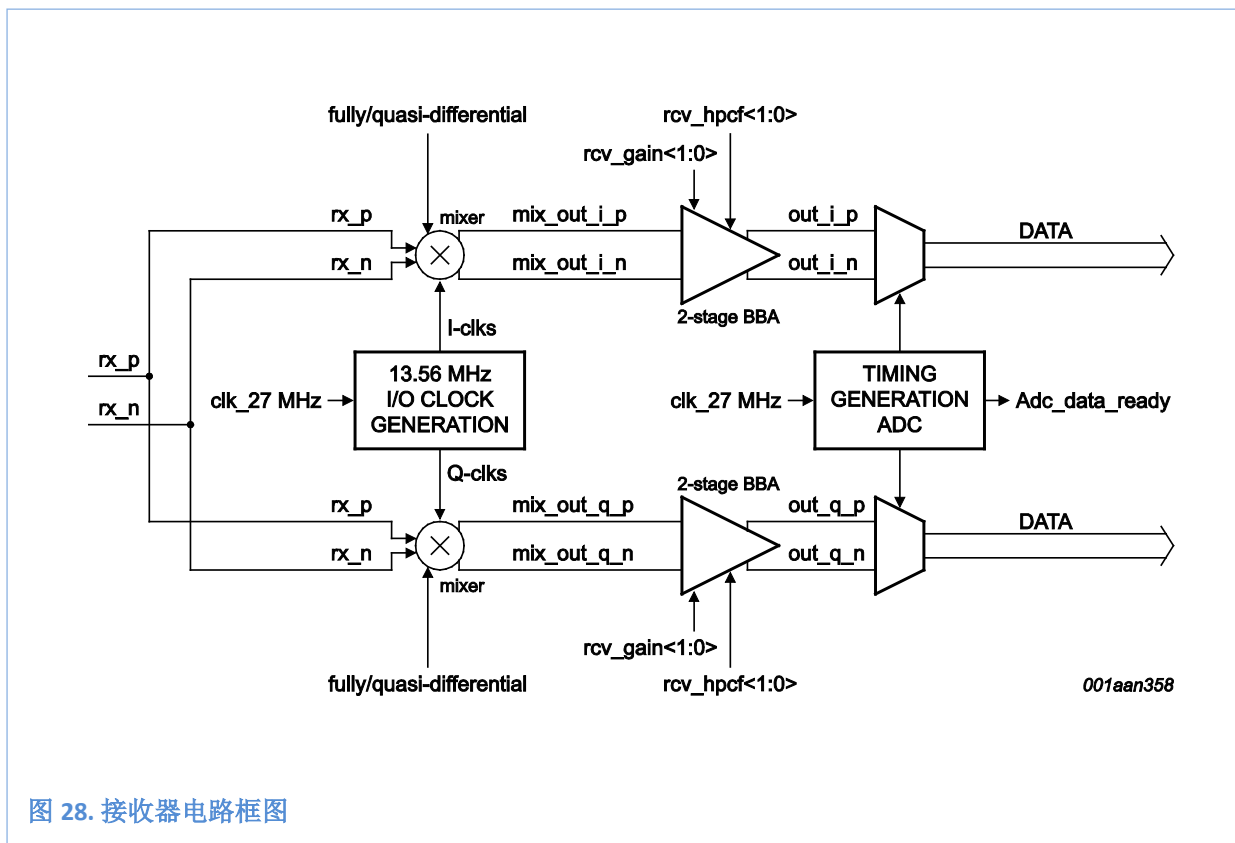
### 8.6.3.1 概论

CLRC663 的特色是含有一个多功能的正交接收器机架构，备以在 RXP 和 RXN 上的完全差分信号输入。它可以被配置用于接收各种基于 13.56 MHz 协议，来达成最佳性能。

对于所有的处理单元，可以进行各种调整，以获得最佳性能。

## 8.6.3.2 框图

图 28 显示接收器电路的功能框图。接收过程包括几个步骤。首先完成的是 13.56 MHz 载波信号的正交解调。在此电路中可能会有几个调谐步骤。



接收器也可以单端模式操作。在此情况下 Rcv\_RX\_single 位必须被设置。在单端模式下，RXP 和 RXN 两个接收器引脚需被连接在一起，并将提供单端信号给接收器电路。

在单端模式下使用接收器，相较于全差分模式接收器的灵敏度会降低且可达读取距离可能会缩短。

表 29. 单一或差分接收器的配置

模式	rcv_rx_single	RXP 及 RXN 引脚
全差分	0	以单独的 rx-耦合分支，提供来自差分天线的差分信号
准差分	1	将连接 RXP 和 RXN 在一起，以单一 rx-耦合分支提供来自天线的单端信号

正交解调器使用两个不同的时钟，Q-时钟和 I-时钟，两者之间的相移为 90 度。这两个产生的基频信号被进行放大，滤波，数字化，并转发到相关电路。

典型的应用倾向于使用全差分模式，用以提供最大的读/写器距离。准差分模式可与专用天线拓扑结构一起使用，以减少匹配元件的数量，弊端是整体读数性能会降低。

在低功耗卡片检测过程中，I-信道和 Q-信道混频器输出的 DC 电平将被评估。混频器需直接连接到 ADC。这可通过在 RCV (38H) 寄存器中设置 Rx\_ADCmode 位的方式来配置。

#### 8.6.4 有源天线的概念

CLRC663 中内置两个主要模块。数字电路，包含状态机，编码器和译码逻辑电路；而模拟电路则包含调制器，天线驱动器，接收器和放大电路。例如，这两个模块之间接口的信号可以被路由到 SIGIN 引脚和 SIGOUT 引脚。这种拓扑结构的最重要用途是有源天线的概念，其数字和模拟模块是分开的。这让例如另一个 CLRC663 设备的额外数字模块得以与单一模拟天线前端连接。

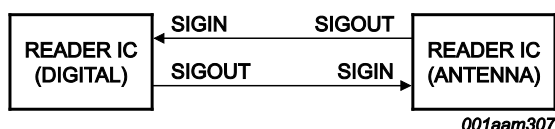


图 29. 有源天线概念的框图

表 30 及表 31 说明了在使用有源天线概念的情况下必要的寄存器配置。

表 30. CLRC663 有源天线概念的寄存器配置（数字）

寄存器	值（二进制）	描述
SigOut.SigOutSel	0100	发射调制包络信号
Rcv.SigInSel	10	通过 SigIn 引脚接收（ISO/IEC 14443A）
	11	通过 SigIn 引脚接收（通用代码）
DrvCon.TxSel	00	低（空闲）

表 31. 有源天线概念下 CLRC663 寄存器的配置（天线）

寄存器	值（二进制）	描述
SigOut.SigOutSel	0110	通用代码（曼彻斯特）
	0111	曼彻斯特与副载波（ISO/IEC 14443A）
Rcv.SigInSel	01	内部
DrvCon.TxSel	10	外部（SigIn 引脚）
RxCtrl.RxMultiple	1	连续接收模式打开

这两个模块间的接口可以被配置成，接口信号可被路由到 SIGIN 引脚和 SIGOUT 引脚（请参阅图 30 “SIGIN/ SIGOUT 信号路由概述”）。

这种拓扑结构支持，CLRC663 模拟部件的某些部件可被连接到另一器件的数字部件。

在 registerSigOut 中的 SigOutSel 开关可用来测量信号。对于在设计阶段或为测试目的而检查已发送和接收的数据而言，这一点尤其重要。

然而，SIGIN/ SIGOUT 引脚的最重要用途是有源天线的概念。一个外部有源天线电路可被连接到 CLRC663 的数字电路。SigOutSel 必须被配置为，内部密勒编码器的信号会被发送到 SIGOUT 引脚（SigOutSel=4）。SigInSel 具有被配置为从 SIGIN 引脚（SigInSel=1）以副载波接收曼彻斯特信号。

也可以连接一个无源天线到 TX1 引脚，TX2 引脚和 RX（通过适当的过滤器和匹配电路），且同时连接一个有源天线到 SIGOUT 引脚和 SIGIN 引脚。在此配置下，两个 RF 部件可被单一主机处理器驱动（一个接一个）。

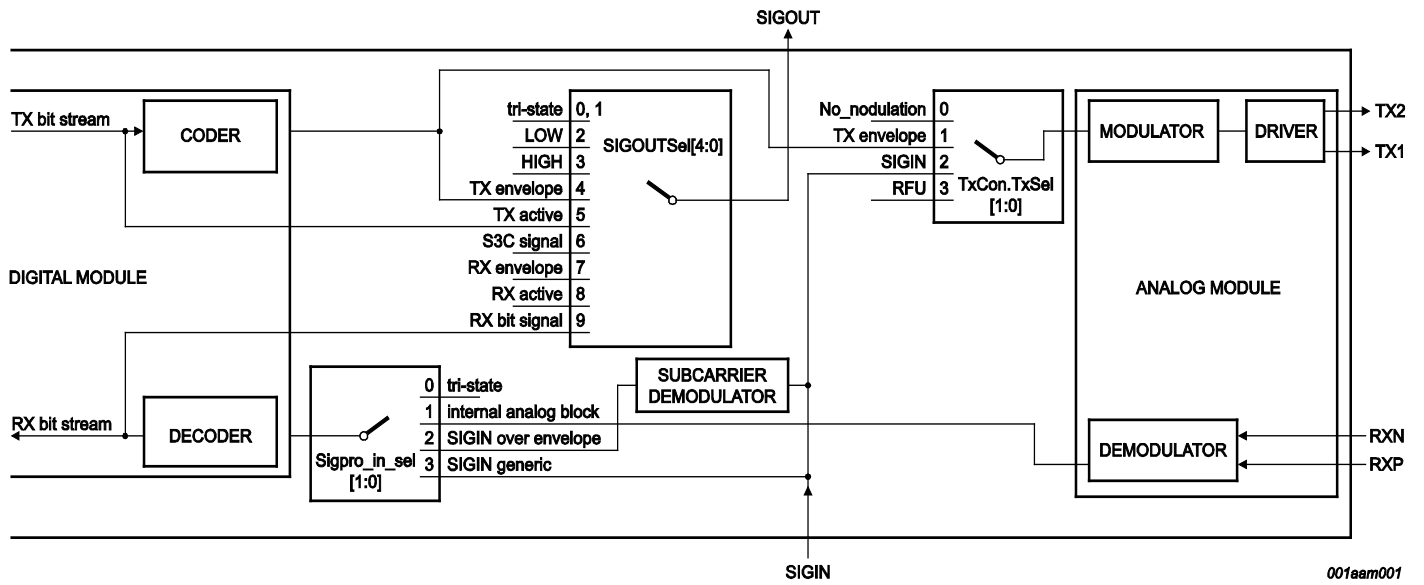


图 30. SIGIN/SIGOUT 信号路由概述

### 8.6.5 符号产生器

符号产生器用于创建各种协议所使用的专有符号。这些可以是例如被 ISO 14443 协议或专有协议符号使用的 SOF 或 EOF 的符号，他们，或者 ICODE EPC 协议所使用的 CS 符号。

符号借助于符号定义寄存器和模式寄存器来定义。可以使用四种不同的符号。其中两个，Symbol0 和 Symbol1 有 16 位的最大模式长度，而且支持逻辑“0”或“1”的高达 256 位的突发长度。Symbol2 和 Symbol3 仅限于 8 位模式长度且不支持突发。

符号模式的定义是通过写入模式的位序列到适当的寄存器来完成。要发送的模式最后一位设于寄存器中的 LSB。通过在符号长度寄存器（TxSym10Len 及 TxSym32Len）中设置符号长度，符号模式的定义即被完成。在定义寄存器中所有位位置高于符号长度的位都将被忽略。（范例 1：Symbol2 长度=5，第 7 位和第 6 位将被忽略，第 5 位到第 0 位定义符号模式，第 5 位先被发送）

需要发送的符号模式可在 TxFrameCon 寄存器中配置。Symbol0，Symbol 1 和 Symbol2 可在数据包之前发送，而 Symbol 1，Symbol2 和 Symbol3 可在数据包后发送。各符号都由一组寄存器定义。全部符号都由一对寄存器来配置。Symbol0 并且 Symbol1 分享相同配置，而 Symbol2 和 Symbol3 分享相同配置。该配置包括位时钟频率和副载波频率的设置，以及脉冲类型/长度和包络类型的选择。

## 8.7 存储器

### 8.7.1 存储器概述

CLRC663 内置三种不同的存储器：EEPROM，FIFO 和寄存器。在启动时，定义集成电路行为的寄存器会自动复制 EEPROM 特定区（读/写 EEPROM 的 section1 和 section2，寄存器复位）到寄存器的方式来初始化。CLRC663 的行为可通过执行命令 LoadProtocol 来改变，该命令将选定的默认协议从 EEPROM（只读 EEPROM section4，Set Protocol 寄存器区域）复制到寄存器。读/写 EEPROM section2 可以被用来存储任何用户数据或预定义的寄存器设置。这些预定义的设置可以命令“LoadRegister”复制到内部寄存器。FIFO 作为输入/输出缓冲，且能够以有限的接口速度来提高系统性能。

### 8.7.2 EEPROM 存储器组织

CLRC663 内建一个 8kB 大小的 EEPROM 非易失性存储器。EEPROM 由分为多个 64 字节的页面。64 字节的 1 个页面可一次编程。EEPROM 中特定区域被赋予指定功能，被称为区段。从第 0 到第 4 区段具有各自不同的目的。

表 32. EEPROM 存储器组织

区段	页面	字节地址	访问权限	存储器内容
0	0	00 到 31	r	产品信息及配置
		32 到 63	r/w	产品配置
1	1 到 2	64 到 191	r/w	寄存器复位
2	3 到 95	192 到 6143	r/w	可自由使用
3	96 到 111	6144 到 7167	w	MIFARE 密钥
4	112 到 128	7168 到 8191	r	寄存器设定协议 (RSP)

下图显示 EEPROM 结构：

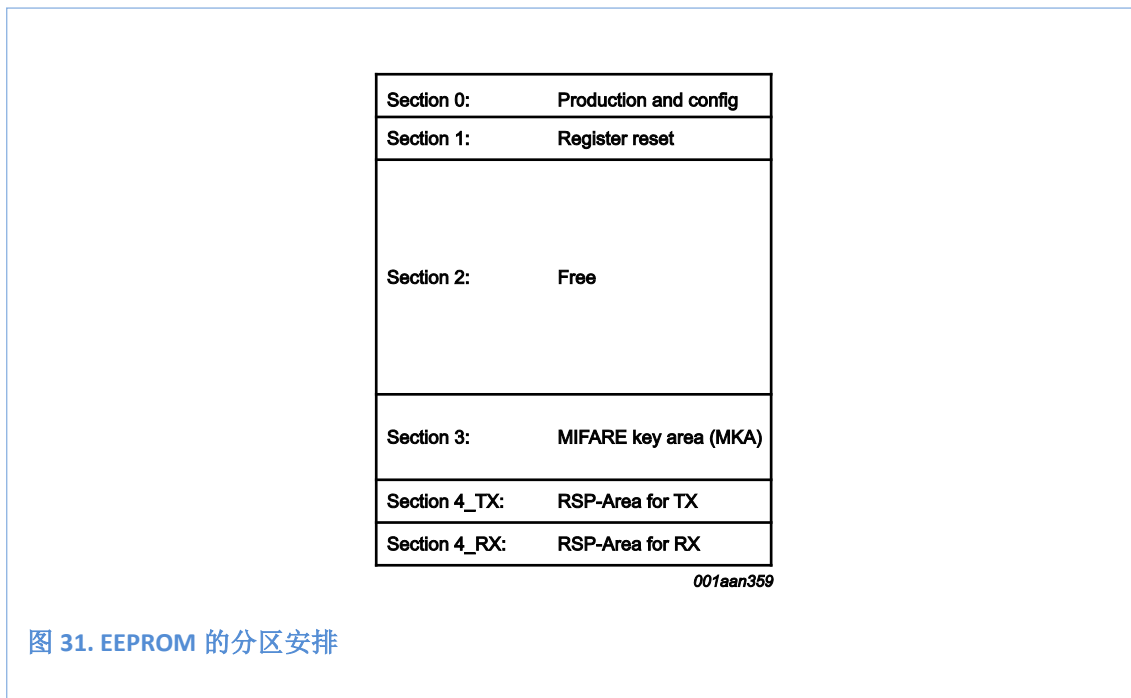


图 31. EEPROM 的分区安排

### 8.7.2.1 产品信息和配置 – 页面 0

EEPROM 第一页面包含生产数据以及配置信息。

表 33. 生产区 (0 页)

地址 (Hex.)	0	1	2	3	4	5	6	7
00	产品编号			版本	唯一标识符			
08	唯一标识符							生产者 数据
10	生产者数据							
18	生产者数据							

**产品编号:** 为此 CLRC663 产品的标识符，地址 01h 被用于识别 CLRC663，地址 00h 和 02h 的数据可被忽略。

表 34. CLRC663 系列产品编号概述

地址 01h	产品编号
CLRC663	01h
MFRC631	C0h
MFRC630	80h
SLRC610	20h

**版本:** 此寄存器显示在芯片生产时 EEPROM 初始化数据的版本。（硬件版本的识别位于寄存器 7Fh 中，而非在 EEPROM 版本地址。寄存器 7Fh 中的硬件信息是硬接线的，因而独立于其他 EEPROM 配置数据）。

**唯一识别符:** 为此器件的唯一识别符。

**生产者数据:** 此数据在生产过程中被写入。内容不适用于任何应用程序，且不同的器件的内容也可能不一样。因此，此内容应被视为未定义的。

表 35. 配置区域 (第 0 页)

地址 (Hex.)	0	1	2	3	4	5	6	7
20	I2C_Address	接口	I2C SAM_Address	DefaultProtRx	DefaultProtTx	-	TxCRCPreset	
28	RxCRCPreset		-	-	-	-	-	-
30	-							
38	-							

**I2C 地址:** 定义 I2C 接口地址有两种方式。通过配置 IF0 引脚，IF2 引脚（地址为 10101xx，XX 由接口引脚 IF0，IF2 来定义）或通过向 I2C 地址区域写入数值。I2C 地址具体是通过引脚还是 EEPROM 地址字节来定义，取决于接口配置字节 21h。

**接口:** 本节介绍接口字节的配置。



表 36. 接口字节

位	7	6	5	4	3	2	1	0
	I2C_HSP	-	-	I2C_Address	Boundary Scan	Host		
访问权利	r/w	RFU	RFU	r/w	r/w		r/w	

表 37. 接口位元

位	符号	描述
7	I2C_HSP	清除时，将使用高速模式
6, 5	RFU	设置时，将使用超高速模式（默认情况下）
4	I2C_Address	-
3	Boundary Scan	清除时，将使用引脚（默认情况下） 设置时，边界扫描将关闭
2 到 0	Host	000b - RS232 001b - I2C 010b - SPI 011b - I2CL 1xxb - 引脚选择

**I2C\_SAM\_Address:** I2C SAM 地址由 EEPROM 内容定义。

寄存器设定协议（RSP）区域包含用于 TX 寄存器（16 字节）及 RX 寄存器（8 字节）的设置。

表 38. 寄存器设定协议区域中 Tx 和 Rx 的安排

Section								
Section 4 TX	TX0		TX1		TX2		TX3	
Section 4 TX	TX4		TX5		TX6		TX7	
Section 4 RX	RX0	RX1	RX2	RX3	RX4	RX5	RX6	RX7
Section 4 RX	RX8	RX9	RX10	RX11	RX12	RX13	RX14	RX15

**TxCrcPreset:** 数据位由模拟模块发送且自动通过 CRC 生成。

### 8.7.3 EEPROM 初始化内容 LOADPROTOCOL

CLRC663 EEPROM 在生产时被写入预设内容用作特定的寄存器的复位值。只有拥有“读/写”或“动态”访问权限的寄存器或位能使用 EEPROM 复制来的默认值进行初始化。

请注意，用于从 EEPROM 复制复位值到寄存器的地址由已配置的协议决定，且可以由用户改变。

表 39. 寄存器复位值 (Hex.) (第 0 页)

地址	0 (8)	1 (9)	2 (A)	3 (B)	4 (C)	5 (D)	6 (E)	7 (F)
功能	产品识别			版本	唯一序号			
00	XX	参考表 34	XX	XX	XX	XX	XX	XX
功能	唯一序号							工厂调整值
08	XX	XX	XX	XX	XX	XX	XX	XX
功能	TrimLPO	工厂调整值						
10	XX	XX	XX	XX	XX	XX	XX	XX
功能	工厂调整值							
18	XX	XX	XX	XX	XX	XX	XX	XX
功能	工厂调整值							
...38	XX	XX	XX	XX	XX	XX	XX	XX

寄存器的复位值是芯片启动后的配置参数。寄存器的复位值可被改变以修改器件的默认行为。除了此寄存器的复位值外，也可以用于加载不同用户自定义协议的预设值。这个目的可以通过执行 Load Protocol 命令实现。

表 40. 寄存器复位值 (Hex.) (第 1 及第 2 页)

地址	0 (8)	1 (9)	2 (A)	3 (B)	4 (C)	5 (D)	6 (E)	7 (F)
	Command	HostCtrl	FIFOControl	WaterLevel	FIFOLength	FIFOData	IRQ0	IRQ1
40	40	00	80	05	00	00	00	00
	IRQ0En	IRQ1En	Error	Status	RxBitCtrl	RxColl	TControl	T0Control
48	10	00	00	00	00	00	00	00
	T0ReloadHi	T0ReloadLo	T0CounterValHi	T0CounterValLo	T1Control	T1ReloadHi	T1ReloadLo	T1CounterValHi
50	00	80	00	00	00	00	80	00
	T1CounterValLo	T2Control	T2ReloadHi	T2ReloadLo	T2CounterValHi	T2CounterValLo	T3Control	T3ReloadHi
58	00	00	00	80	00	00	00	00
	T3ReloadLo	T3CounterValHi	T3CounterValHi	T4Control	T4ReloadHi	T4ReloadLo	T4CounterValHi	T4CounterValLo
60	80	00	00	00	00	80	00	00

表 40. 寄存器复位值 (Hex.) (第 1 及第 2 页) ... (续上页)

地址	0 (8)	1 (9)	2 (A)	3 (B)	4 (C)	5 (D)	6 (E)	7 (F)
	DrvMode	TxAmp	DrvCon	Txl	TxCRC Preset	RxCRC Preset	TxDataNu m	TxModWith
68	86	15	11	06	18	18	08	27
	TxSym10B urstLen	TxWaitC trl	TxWaitLo	FrameCon	RxSofD	RxCtrl	RxWait	TxThreshold
70	00	C0	12	CF	00	04	90	3F
	Rcv	RxAAna	RFU	SerialSpee d	LPO_trim m	PLL_Ctrl	PLL_Div	LPCD_QMin
78	12	0A	00	7A	80	04	20	48
	LPCD_QM ax	LPCD_I Min	LPCD_resu lt_I	LPCD_resu lt_Q	PadEn	PadOut	PadIn	SigOut
80	12	88	00	00	00	00	00	00
	TxBitMod	RFU	TxDataCon	TxDataMo d	TxSymFreq	TxSym0H	TxSym0L	TxSym1H
88	20	xx	04	50	40	00	00	00

## 8.8 时钟生成

### 8.8.1 晶振

CLRC663 的时钟被用于，由 TX 发送的载波的生成，正交混频器 I 和 Q 时钟生成，或同步系统中的编码器和解码器的时间基准。因此，时钟频率的稳定性是良好性能的一个重要原素。为获得最高性能，时钟抖动要尽可能地小。最好是使用如下推荐的电路配合内置振荡器缓冲来实现。

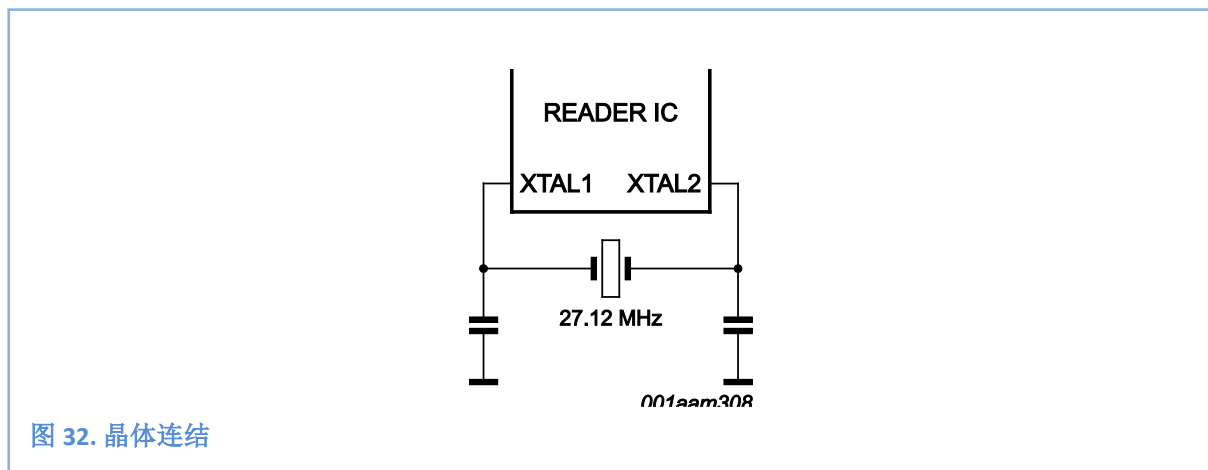


图 32. 晶体连结

表 41. 晶体规格建议

符号	参数	条件	最小	类型	最大	单位
fxtal	晶体频率		-	27.12	-	MHz
$\Delta f_{xtal}/f_{xtal}$	相对晶体频率变化		-250	-	+250	ppm
ESR	等效串联阻力		-	50	100	$\Omega$
CL	负载电容		-	10	-	pF
Pxtal	晶体功耗		-	50	100	$\mu W$

### 8.8.2 INTEGERN PLL 时钟线

CLRC663 能够在 CLKOUT 引脚上提供从 1 到 24 MHz (PLL\_Ctrl PLL\_DIV) 频率可设置的时钟。这个时钟可被用做系统中微控制器所需的时钟源，避免使用额外的晶振。IntegerN-PLL 的时钟源是 27.12 MHz 晶体振荡器。

两个分频器决定输出频率。首先反馈 interger-N 分频器配置 VCO 频率为  $N \times f/2$  (控制信号 pll\_set\_divfb)。作为支持的反馈分频比分别为 23, 27 和 28, VCO 频率可以是  $23 \times f/2$  (312 MHz),  $27 \times f/2$  (366 MHz) 和  $28 \times f/2$  (380 MHz)。

VCO 频率由输出分频器（pll\_set\_divout）所定义的参数划分。表 42 “使用 integerN PLL 所选频率的分频值”显示用于不同频率（1 MHz 和一些典型 RS232 频率的整数倍数）所达到的精确度和使用的分频比。寄存器 CLKOUTEN 位使能 CLKOUT 引脚上的时钟。

下列公式可用来计算输出频率：

$$f_{out} = 13.56 \text{ MHz} \times \text{PLLDiv\_FB} / \text{PLLDiv\_Out}$$

**Table 42. 使用 integerN PLL 所选频率的分频值**

频率 [MHz]	4	6	8	10	12	20	24	1.8432	3.6864
PLLDiv_FB	23	27	23	28	23	28	23	28	28
PLLDiv_Out	78	61	39	38	26	19	16	206	104
精确度 [%]	0.04	0.03	0.04	0.08	0.04	0.08	0.04	0.01	0.01

### 8.8.3 低频振荡器（LPO）

低频振荡器（LPO）具有驱动唤醒计数器（WUC）的功能。它在固定的时间间隔唤醒系统，并简化了读卡器定期查询卡的存在或执行低功耗卡检测的设计。

LPO 在生产过程中被预设成以 16 kHz 运行。通常不需要再调节 LPO 频率，除非应用要求更高精确度的 LPO 以及器件在环境温度不断变化的工作环境中工作。在一个典型的应用中，使用 LPO 从断电模式下唤醒系统，可以使用 LPO 的预设值。如果有需要，可以用 LOP 通过数字状态机与一个外部时钟参照，以生成高精度的 16 kHz LPO 时钟。13.56 MHz 晶体时钟可作为时钟频率的参考。

## 8.9 电源管理

### 8.9.1 电源概念

CLRC663 由 VDD（电源电压），PVDD（引脚电源）和 TVDD（发射机电源）供电。此三电压各自独立。

要连接 CLRC663 到一个供电级别为 3.3 V 的微控制器，PVDD 和 VDD 电压须在 3.3 V，TVDD 则可在 3.3 V 到 5.0 V 之间。TVDD 上的更高电源电压，可以生成更高的磁场强度。

建议在芯片引脚的附近添加阻断电容来缓冲各独立电源的电压。VDD 和 PVDD 建议用至少 100 nF 的电容来阻断，TVDD 则建议用 2 个与 1.0 $\mu$ F 平行的 100nF 电容来阻断。

AVDD 和 DVDD 不是电源输入引脚而是输出引脚，且应各自连接到 470 nF 的阻断电容。

### 8.9.2 节能模式

#### 8.9.2.1 掉电模式

PDOWN 引脚上的高电平可使得硬件进入掉电模式。这将关闭用于模拟和数字核心供应或振荡器的内部 1.8V 电压调节器。所有的数字输入缓冲器皆与输入引脚分开并在内部执行电压钳制（除了 PDOWN 引脚本身）。输出引脚被切换到高阻抗。

要离开掉电模式，需设置 PDOWN 引脚上的电平为低。这将启动内部启动程序。

#### 8.9.2.2 待机模式

命令寄存器中的 PowerDown 位一旦设定后，会立即进入待机模式。除了 LFO 外，所有内部电流吸收器都将关闭。参考电压和电压调节器将被设置成待机模式。

与掉电模式相反，数字输入缓冲器并不被输入引脚分离且保有自己的功能。数字输出引脚不改变自己的状态。

在待机模式下，所有的寄存器值，FIFO 的内容和配置本身都将保持其当前的内容。

要离开待机模式，需清除命令寄存器中的 PowerDown 位。这将触发内部的启动程序。当内部启动序列完成时（典型持续时间为 15 $\mu$ s），读卡器芯片会再次进入全面运作模式。

或者，若要离开待机模式，可以透过 RS232 接口发送一个 55h 的值到 CLRC663。读取访问能在地址 00h 中执行，直到器件返回此地址的内容。返回地址 00h 的内容表示该器件已准备接收进一步命令，且内部启动序列已完成。

#### 8.9.2.3 调制解调器断模式

当设置控制寄存器中的 ModemOff 位，天线的发送器和接收器将被关闭。

要离开调制解调器关闭模式，需清除控制寄存器的 ModemOff 位。

### 8.9.3 低功耗卡片检测 (LPCD)

低功耗卡片检测是 CLRC663 非恒定供电的节能模式。

LPCD 分两个步骤进行。首先，在待机阶段由定义 CLRC663 待机时长的唤醒计数器 (WUC) 控制。第二阶段为检测阶段。在此阶段中 I 和 Q 信道值被检测并存储在寄存器映射 (LPCD\_I\_Result, LPCD\_Q\_Result)。此段时长可通过定时器 3 来设定。数值会与寄存器 (LPCD\_IMin LPCD\_IMax LPCD\_QMin LPCD\_QMax) 中的最小值/最大值相比较。如果超过限制，会发出 LPCDIrq。

如果选择的话，LPCD 命令执行后 CLRC663 的待机模式会被启动。唤醒定时器 4 可在一段给定时间后启动系统。就 LPCD 而言，建议设置 T4AutoWakeUp 和 T4AutoRestart 以启动定时器然后进入待机模式。一旦检测到卡，定时器会停止且通信会开始。如果 T4AutoWakeUp 位没有被设置，在没有检测到卡的情况下，芯片将不会进入待机模式。

### 8.9.4 复位和启动时间

在 PDOWN 引脚上的加载超过 10  $\mu$ s 的持续高电平将启动内部复位程序。下图显示了内部电压调节器：

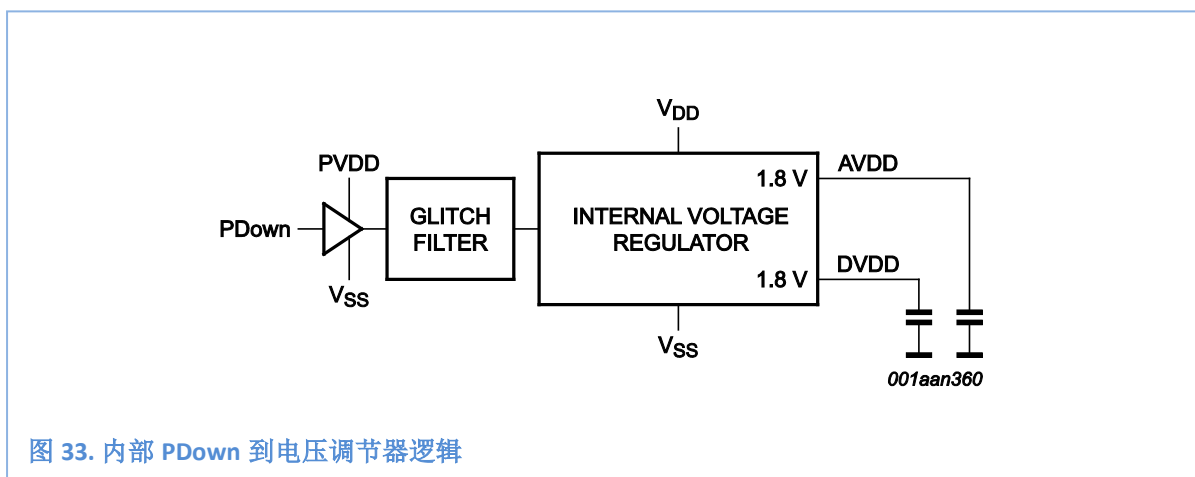


图 33. 内部 PDown 到电压调节器逻辑

此内部程序包含 2 阶段：

- 复位电源
- 启动时间

当 CLRC663 完成这两个阶段，读卡器芯片即成为全模式，且随时可以使用。

## 8.10 命令集

### 8.10.1 概论

芯片行为是由能够执行一系列命令的状态机来决定的。在命令寄存器写入相应的代码后，命令能被执行。

处理命令所需要的参数和/或数据，可通过 FIFO 缓冲区进行交换。

- TxEncoder 的数据传输可由命令启动。启动时，通信会依在 TxFrameCon 寄存器中所定义的值执行。因此，通信帧可包括启动符号，数据流及结束符号。
- 需要一定数量参数的每个命令，只有当已经通过 FIFO 缓冲区接收到正确数量的参数时，才会开始处理。
- 在命令启动时，FIFO 缓冲区不会被自动清除。因此，建议先写入命令参数和/或数据字到 FIFO 缓冲器，并随后启动命令。
- 每个命令皆可以由主机通过写入一个新命令代码到命令寄存器的方式来中断，例如：空闲命令。

### 8.10.2 命令集概述

表 43. 命令集

命令	数	参数（字节）	简述
Idle	00h	-	没有行动，取消当前命令执行
LPCD	01h	-	低功耗卡检测
LoadKey	02h	(keybyte1), (keybyte2), (keybyte3), (keybyte4), (keybyte5), (keybyte6);	自 FIFO 缓冲器读取一个 MIFARE 密钥（6 个字节大小），并放入密钥缓冲器中
MFAuthent	03h	60h 或 61h, (block address), (card serial number byte0), (card serial number byte1), (card serial number byte2), (card serial number byte3);	仅以 MIFARE 读/写模式执行 MIFARE 标准认证
AckReq	04h	-	执行查询，用于 ISO/IEC 18000-3 Mode 3/ EPC Class-1 HF 的 Ack 及 Req-Rn
Receive	05h	-	启动接收电路
Transmit	06h	-	由 FIFO 缓冲器传输数据
Transceive	07h	-	由 FIFO 缓冲器传输数据，且在传输结束后自动启动接收器
WriteE2	08h	addressL, addressH, data;	自 FIFO 缓冲器取得一个字节，并将其写入内部 EEPROM 中。有效的地址范围限于 MIFARE 密钥区内的地址
WriteE2Page	09h	(page Address), data0, [data1 ..data63];	自 FIFO 缓冲器中取得最多达 64 个字节（一页 EEPROM 页面）并将其写入 EEPROM 中。有效的地址范围限于 MIFARE 密钥区内的地址
ReadE2	0Ah	addressL, address H, length;	自 EEPROM 读取数据并将其复制到 FIFO 缓冲器，有效的地址范围限于 MIFARE 密钥区内的地址



表 43. 命令集 (...续上页)

命令	数	参数 (字节)	简述
LoadReg	0Ch	(EEPROM addressL), (EEPROM addressH), RegAdr, (number of Register to be copied);	从 EEPROM 内部读取数据, 并初始化 CLRC663 寄存器。EEPROM 地址必须在 EEPROM 第 2 区内
LoadProtocol	0Dh	(Protocol umber RX), (Protocol number TX);	从 EEPROM 内部读取数据, 并初始化改变协议所需的 CLRC663 寄存器
LoadKeyE2	0Eh	KeyNr;	复制EEPROM的一个密钥到密钥缓冲区
StoreKeyE2	0Fh	KeyNr, byte1, byte2, byte3, byte4, byte5, byte6;	存储MIFARE密钥 (6字节大小) 到 EEPROM
ReadRNR	1Ch	-	自随机数发生器复制字节到 FIFO, 直到 FIFO 满溢
Soft Reset	1Fh	-	复位 CLRC663

### 8.10.3 命令功能

#### 8.10.3.1 空闲命令

命令 (00h);

此命令指示 CLRC663 处于空闲模式。此指令也用于终止当前命令。

#### 8.10.3.2 LPCD 命令

命令 (01h);

此命令将执行低功耗卡片检测和/或 LPO 的自动微调。采样的 I 和 Q 信道值被存储在寄存器映射中。此值将与寄存器中存储的最小阈值/最大阈值相比较。如果超过限制, 将会发出 LPCD\_irq。如果选择的话, 待机模式将在此命令后被启动。

#### 8.10.3.3 加载密钥命令

命令 (02h), 参数 1 (密钥字节 1), ..., 参数 6 (密钥字节 6);

从 FIFO 加载一个用于认证的 MIFARE 密钥 (6 字节) 到加密单元。

中止条件: 写入 FIFO 的数据少于 6 字节。

#### 8.10.3.4 MFAUTHENT 命令

命令 (03h), 参数 1 (认证命令码 60h 或 61h), 参数 2 (块地址), 参数 3 (卡序列号字节 0), 参数 4 (卡序列号字节 1), 参数 5 (卡序列号字节 2), 参数 6 (卡序列号字节 3); 此命令处理读写器模式下的 MIFARE 卡片认证, 使能与任何 MIFARE Classic 卡间的安全通信。当 MFAuthent 命令启动, 所有 FIFO 读取都会被封锁。无论如何, 如果有到 FIFO 的读取, 错误寄存器中的 WrErr 位将被设置。

当 MIFARE 卡已被验证且 MFCrypto1On 位设置为逻辑 1 时, 此命令将自动终止。

在卡片没有回应的情况下此命令不会自动终止，因此，定时器应被初始化到自动模式。在此情况下，IdleIRq 位以及 TimerIRq 位可用来作为终止条件。在认证处理过程中 RxIRq 位和 TxIRq 位会被封锁。Crypto1On 显示验证是否成功。

命令被启动之前，下列数据应被写入 FIFO：

- 验证命令码 (60h, 61h)
- Block 地址
- 卡序列号字节 0
- 卡序列号字节 1
- 卡序列号字节 2
- 卡序列号字节 3

总共有 6 个字节被写入 FIFO。

**备注：**当 MFAuthent 命令启动时，所有 FIFO 读取都会被禁止。如果在 MFAuthent 启动的过程中，有试图到 FIFO 的读取，在错误寄存器中的 WRERR 位将被设置。

当 MIFARE 卡片已验证且状态寄存器中的 MFCrypto1On 位设置为逻辑 1 时，此 MFAuthent 命令将自动终止。

在卡片没有回应的情况下此 MFAuthent 命令不会自动终止，因此定时器应被初始化到自动模式。在此情况下，IdleIRq 位旁边的 TimerIRq 位可用来作为终止条件。在认证处理过程中 RxIRq 位和 TxIRq 位会被封锁。只有在认证命令结束后，Crypto1On 位才会生效（协议处理完成后或将 IDLE 写入命令寄存器后）。

若在认证过程中发生错误，错误寄存器中的 ProtocolErr 位将设置为逻辑 1，且 Status2Reg 寄存器中的 Crypto1On 位将设置为逻辑 0。

#### 8.10.3.5 ACKREQ 命令

命令 (04h)；

用于执行 Query (完整命令码必须被写入 FIFO)；Ack 和 ReqRn 命令。所有收到的命令的回答都将被写入 FIFO。错误标志将在回答后被复制到 FIFO。命令结束后将自动终止且变为空闲。

#### 8.10.3.6 接收命令

命令 (05h)；

CLRC663 启动接收器路径，根据其寄存器的设置等待接收任意一个数据流，这些设置应在命令开始前依据所用的协议和天线配置来决定。正确的设置必须在启动此命令之前被选择。

当接收到的数据流结束时，此命令会自动终止。终止可以由结束帧或者已定义的数据流长度来决定。

**备注：**如果 RxModeReg 寄存器中的 RxMultiple 位设置为逻辑 1，接收命令不会自动终止。它必须由启动 CommandReg 寄存器中的任何其他命令来终止（见第 9.17.6 章节“RxMod”）。

#### 8.10.3.7 传送命令

命令（06h）；

在启动命令后 FIFO 内容即被立即传送。在传送 FIFO 内容前所有相关的寄存器需被设置以传输数据。当 FIFO 变空时此命令将自动终止。它可由任何其他写入命令寄存器的命令所终止。

#### 8.10.3.8 收发命令

命令（07h）；

此命令同时从 FIFO 传送数据并从 RF 射频场接收数据。第一个动作是传送，传送后命令会变成接收数据流。

每个传输过程都由写入命令到 CommandReg 开始。

**备注：**如果 RxModeReg 寄存器中 RxMultiple 位设置为逻辑 1，则芯片不会终止接收状态，因为接收不会被自动取消。

#### 8.10.3.9 WRITEE2 命令

命令（08h），参数 1（addressL），参数 2（addressH），参数 3（数据）；

此命令写入一个字节到 EEPROM 中。如果 FIFO 不含任何数据，该命令会等到有数据为止。

中止条件：FIFO 中的参数不足；地址参数超出范围。

#### 8.10.3.10 WRITEE2PAGE 命令

命令（09h），参数 1（页面地址），参数 2（数据 0），参数 3... 65[数据 1..数据 63]；

此命令可写入高达 64 字节到 EEPROM 中。

中止条件：FIFO 中的参数不足；页面地址参数超出范围。

#### 8.10.3.11 READE2 命令

命令（0Ah），参数 1（addressL），参数 2（addressH）2，参数（长度）；

从 EEPROM 读取高达 256 字节到 FIFO。如果读取操作超过地址 1FFFh，读取操作会从地址 0000h 继续。

中止条件：FIFO 中的参数不足，地址参数超出范围。

**8.10.3.12 LOADREG 命令**

命令 (0Ch)，参数 1 (EEPROM addressL)，参数 2 (EEPROM addressH)，参数 3 (RegAdr)，参数 4 (字节数)；

从 EEPROM 中读取已定义的字节数并复制其值到寄存器组，在给定 RegAdr 地址开始。

中止条件：FIFO 中的参数不足，地址参数超出范围。

**8.10.3.13 LOADPROTOCOL 命令**

命令 (0Dh)，参数 1 (协议数 RX)，参数 2 (协议数 TX)；

读出 EEPROM 且复制其值到 RX-保护区和 TX-保护区。这些对协议选择而言都是极重要的寄存器。

中止条件：FIFO 中的参数不足。

表 44. 预定义的协议概述 RX [1]

协议数 (十进位)	协议	接收器速度 [kbit/s]	接收器编码
00	ISO/IEC 14443 A	106	曼彻斯特副载波
01	ISO/IEC 14443 A	212	BPSK
02	ISO/IEC 14443 A	424	BPSK
03	ISO/IEC 14443 A	848	BPSK
04	ISO/IEC 14443 B	106	BPSK
05	ISO/IEC 14443 B	212	BPSK
06	ISO/IEC 14443 B	424	BPSK
07	ISO/IEC 14443 B	848	BPSK
08	FeliCa	212	曼彻斯特
09	FeliCa	424	曼彻斯特
10	ISO/IEC 15693	26	SSC
11	ISO/IEC 15693	52	SSC
12	ISO/IEC 15693	26	DSC
13	EPC/UID	26	SSC
14	ISO/IEC 18000-3 mode 3/ EPC Class-1 HF		2/424
15	ISO/IEC 18000-3 mode 3/ EPC Class-1 HF		4/424
16	ISO/IEC 18000-3 mode 3/ EPC Class-1 HF		2/848
17	ISO/IEC 18000-3 mode 3/ EPC Class-1 HF		4/848
18			

[1] 更多协议相关细节，请参阅第 8 章“功能性描述”

表 45. 预定义的协议概述 TX [1]

协议数 (十进制)	协议	接收器速度 [kbit/s]	接收器编码
00	ISO/IEC 14443 A	106	密勒
01	ISO/IEC 14443 A	212	密勒
02	ISO/IEC 14443 A	424	密勒
03	ISO/IEC 14443 A	848	密勒
04	ISO/IEC 14443 B	106	NRZ
05	ISO/IEC 14443 B	212	NRZ
06	ISO/IEC 14443 B	424	NRZ
07	ISO/IEC 14443 B	848	NRZ
08	FeliCa	212	曼彻斯特
09	FeliCa	424	曼彻斯特
10	ISO/IEC 15693	26	1/4
11	ISO/IEC 15693	26	1/4
12	ISO/IEC 15693	1.66	1/256
13	EPC/UID	53	Unitray
14	ISO/IEC 18000-3 mode 3/ EPC Class-1 HF		Tari, ASK, PIE
15	ISO/IEC 18000-3 mode 3/ EPC Class-1 HF		Tari, ASK, PIE
16	ISO/IEC 18000-3 mode 3/ EPC Class-1 HF		Tari, ASK, PIE
17	ISO/IEC18000-3 mode 3/ EPC Class-1 HF		Tari, ASK, PIE
18			RFU

[1] 更多协议相关细节，请参阅 第 8 章 “功能性描述”

#### 8.10.3.14 LOADKEYE2 命令

命令 (0Eh)，参数 1 (密钥序号)；

从 EEPROM 加载一个用于验证的 MIFARE 密钥到加密 1 单元。

中止条件：FIFO 中的参数不足；KeyNr 在 MKA (MIFARE 密钥区) 之外。

#### 8.10.3.15 STOREKEYE2 命令

命令 (0Fh)，参数 1 (KeyNr)，参数 2 (keybyte1)，参数 3 (keybyte2)，参数 4 (keybyte3)，参数 5 (keybyte4)，参数 6 (keybyte5)，参数 7 (keybyte6)；

存储 MIFARE 密钥到 EEPROM。密钥序号参数显示将被写入的 MKA 中的第一个密钥 (n)。如果 FIFO 中有一个以上的 MIFARE 密钥，下一个密钥 (n+1) 会被写入直到 FIFO 内容被清空为止。如果不完整密钥 (小于 6 个字节) 被写入 FIFO，此密钥将被忽略并保留在 FIFO 中。

中止条件：FIFO 中的参数不足；KeyNr 在 MKA 之外。

#### 8.10.3.16 GETRNR 命令

命令 (1Ch) ;

此命令从 CLRC663 的随机数发生器读取随机数。随机数被复制到 FIFO，直到 FIFO 满溢为止。

#### 8.10.3.17 SOFTRESET 命令

命令 (1Fh) ;

此命令执行软复位。此命令触发所有寄存器设置的默认值都将从 EEPROM 中被读取，并复制到寄存器组。

## 9 CLRC663 寄存器

### 9.1 寄存器位行为

根据寄存器的功能，寄存器的读取条件可有所不同。原则上，具有相同行为的位会被分类集中在共同的寄存器。读取条件如表 46 所描述。

表 46. 寄存器位行为与其指示

缩写	行为	描述
r/w	读和写	这些位可通过主机接口写入和读取。因为它们仅用于控制目的，所以内容不会被状态机影响，但可由内部状态机读取。
dy	动态	这些位可通过主机接口写入和读取。它们也可由内部状态机自动写入，例如命令寄存器在命令执行后自动更改自己的值。
r	只读	这些寄存器位表示仅由内部状态决定的保存值。
w	只写	读取这些寄存器值总会得到零。
RFU	-	这些位被预留，以备将来使用且不得更改。在要求写入的情况下，建议写入逻辑 0。

表 47. CLRC663 寄存器概述

地址	寄存器名称	描述
00h	Command	启动与终止命令执行
01h	HostCtrl	主控制寄存器
02h	FIFOControl	FIFO 的控制寄存器
03h	WaterLevel	FIFO 下溢及上溢警告级别
04h	FIFOLength	FIFO 长度
05h	FIFOData	FIFO 缓冲器的数据输入/输出交换寄存器
06h	IRQ0	中断寄存器 0
07h	IRQ1	中断寄存器 1
08h	IRQ0En	中断使能寄存器 0
09h	IRQ1En	中断使能寄存器 1
0Ah	Error	显示上一命令执行的错误状态的错误位
0Bh	Status	含有通信状态
0Ch	RxBitCtrl	用于以位为基本单位协议防碰撞的控制寄存器
0Dh	RxColl	碰撞位置寄存器
0Eh	TControl	定时器 0 到 3 的控制
0Fh	T0Control	定时器 0 的控制
10h	T0ReloadHi	定时器 0 重载值的高寄存器
11h	T0ReloadLo	定时器 0 重载值的低寄存器
12h	T0CounterValHi	定时器 0 的计数器值高寄存器
13h	T0CounterValLo	定时器 0 的计数器值低寄存器

表 47. CLRC663 寄存器概述 (...续上页)

地址	寄存器名称	描述
14h	T1Control	定时器 1 的控制
15h	T1ReloadHi	定时器 1 重载值高寄存器
16h	T1ReloadLo	定时器 1 重载值低寄存器
17h	T1CounterValHi	定时器 1 的计数器值高寄存器
18h	T1CounterValLo	定时器 1 的计数器值低寄存器
19h	T2Control	定时器 2 的控制
1Ah	T2ReloadHi	定时器 2 重载值高字节
1Bh	T2ReloadLo	定时器 2 重载值低字节
1Ch	T2CounterValHi	定时器 2 的计数器值高字节
1Dh	T2CounterValLo	定时器 2 的计数器值低字节
1Eh	T3Control	定时器 3 的控制
1Fh	T3ReloadHi	定时器 3 重载值高字节
20h	T3ReloadLo	定时器 3 重载值低字节
21h	T3CounterValHi	定时器 3 的计数器值高字节
22h	T3CounterValLo	定时器 3 的计数器值低字节
23h	T4Control	定时器 4 的控制
24h	T4ReloadHi	定时器 4 重载值高字节
25h	T4ReloadLo	定时器 4 重载值低字节
26h	T4CounterValHi	定时器 4 的计数器值高字节
27h	T4CounterValLo	定时器 4 的计数器值低字节
28h	DrvMod	驱动器模式寄存器
29h	TxAmp	发射器放大器寄存器
2Ah	DrvCon	驱动器配置寄存器
2Bh	Txl	发射器寄存器
2Ch	TxCrcPreset	发射器 CRC 控制寄存器, 预设值
2Dh	RxCrcPreset	接收器 CRC 控制寄存器, 预设值
2Eh	TxDataNum	发射器数据数寄存器
2Fh	TxModWidth	发射器调制宽度寄存器
30h	TxSym10BurstLen	发射器符号 1+符号 0 突发长度寄存器
31h	TXWaitCtrl	发射器等待控制
32h	TxWaitLo	发射器等待时间低字节
33h	FrameCon	发射器组帧控制
34h	RxSofD	接收器起始帧检测
35h	RxCtrl	接收器控制寄存器
36h	RxWait	接收器等待寄存器
37h	RxThreshold	接收器阈值寄存器
38h	Rcv	接收器寄存器
39h	RxAna	接收器模拟寄存器
3Ah	RFU	-
3Bh	SerialSpeed	串行速度寄存器
3Ch	LFO_Trimm	低功耗振荡器微整寄存器



表 47. CLRC663 寄存器概述 (...续上页)

地址	寄存器名称	描述
3Dh	PLL_Ctrl	IntegerN PLL 控制寄存器, 用于微控制器时钟输出调整
3Eh	PLL_DivOut	IntegerN PLL 控制寄存器, 用于微控制器时钟输出调整
3Fh	LPCD_QMin	低功耗卡检测 Q 信道最小化阈值
40h	LPCD_QMax	低功耗卡检测 Q 信道最大化阈值
41h	LPCD_I_Min	低功耗卡检测 I 信道最小化阈值
42h	LPCD_I_Result	低功耗卡检测 I 信道结果寄存器
43h	LPCD_Q_Result	低功耗卡检测 Q 信道结果寄存器
44h	PadEn	引脚使能寄存器
45h	PadOut	引脚输出寄存器
46h	PadIn	引脚输入寄存器
47h	SigOut	使能及控制 SIGOUT 引脚
48h	TxBitMod	发射器位模式寄存器
49h	RFU	-
4Ah	TxDataCon	发射器数据配置寄存器
4Bh	TxDataMod	发射器数据调制寄存器
4Ch	TxSymFreq	发射器符号频率
4Dh	TxSym0H	发射器符号 0 高寄存器
4Eh	TxSym0L	发射器符号 0 低寄存器
4Fh	TxSym1H	发射器符号 1 高寄存器
50h	TxSym1L	发射器符号 1 低寄存器
51h	TxSym2	发射器符号 2 寄存器
52h	TxSym3	发射器符号 3 寄存器
53h	TxSym10Len	发射器符号 1+ 符号 0 长度寄存器
54h	TxSym32Len	发射器符号 3+ 符号 2 长度寄存器
55h	TxSym10BurstCtrl	发射器符号 1+ 符号 0 突发控制寄存器
56h	TxSym10Mod	发射器符号 1+ 符号 0 调制寄存器
57h	TxSym32Mod	发射器符号 3+ 符号 2 调制寄存器
58h	RxBitMod	接收器位调制寄存器
59h	RxEofSym	接收器结束帧符号寄存器
5Ah	RxSyncValH	接收器同步值高寄存器
5Bh	RxSyncValL	接收器同步值低寄存器
5Ch	RxSyncMod	发射器同步模式寄存器
5Dh	RxMod	接收器调制寄存器
5Eh	RxCorr	接收器相关寄存器
5Fh	FabCal	接收器的校准寄存器, 生产时执行的校准
7Fh	Version	版本及次版本寄存器

## 9.2 命令配置

### 9.2.1 命令

启动和停止命令执行。

表 48. 命令寄存器 (address 00h)

位	7	6	5	4	3	2	1	0
符号	Standby	Modem Off	RFU	Command				
访问权限	dy	r/w	-	dy				

表 49. 命令位

位	符号	描述
7	Standby	设置为 1, 芯片进入掉电待机模式
6	ModemOff	设置为逻辑 1, 接收器与发射器电路都掉电
5	RFU	-
4 到 0	Command	定义 CLRC663 当前命令

## 9.3 SAM 的配置寄存器

### 9.3.1 HOSTCTRL

接口访问权限能通过 HostCtrl 寄存器控制。

表 50. HostCtrl 寄存器 (address 01h)

位	7	6	5	4	3	2	1	0
符号	RegEn	BusHost	BusSAM	RFU	SAMInterface	SAMInterface	RFU	RFU
访问权限	dy	r/w	r/w	-	r/w	r/w	-	-

表 51. HostCtrl 位

位	符号	描述
7	RegEn	若此位设置为逻辑 1, 寄存器内容可在下一个寄存器访问时被修改。下一个写入会自动清除此位。
6	BusHost	设置为逻辑 1, 总线控制将使能主机接口。此位不能与 BusSAM 一起设置。只有当 RegEn 位已先预置, 此位才能设置。
5	BusSAM	设置为逻辑 1, 总线控制将使能 SAM 接口。此位不能与 BusHost 一起被设置。只有当 RegEn 位已先预设, 此位才能被设置。
4	RFU	-
3 到 2	SAMInterface	0h: 接口关闭 1h: 接口 SPI 启动 2h: 接口 I2CL 启动 3h: 接口 I2C
1 到 0	RFU	-

## 9.4 FIFO 配置寄存器

### 9.4.1 FIFO 控制器 (FIFOCONTROL)

FIFOControl 可定义 FIFO 特性。

表 52. FIFO 控制寄存器 (address 02h)

位	7	6	5	4	3	2	1	0
符号	FIFOSize	HiAlert	LoAlert	FIFOFlush	RFU	WaterLevel	FIFOLength	
访问权限	r/w	r	r	w	-	r/w	r	

表 53. FIFOControl 位

位	符号	描述
7	FIFOSize	设置为逻辑 1, FIFO 大小为 255 字节; 设置为逻辑 0, FIFO 大小为 512 字节; 建议仅在 FIFO 内容被清除后才改变 FIFO 大小。
6	HiAlert	当存储于 FIFO 缓冲器的字节数符合下列公式时, 此位被设置为逻辑 1: $HiAlert = (FIFOSize - FIFOLength) \leq WaterLevel$
5	LoAlert	当存储于 FIFO 缓冲器的字节数符合下列条件时, 此位被设置为逻辑 1: $LoAlert = 1 \text{ if } FIFOLength \leq WaterLevel$
4	FIFOFlush	设置为逻辑 1 可清空 FIFO 缓冲器。读取此位会得到零。
3	RFU	-
2	WaterLevel	定义用于水位的第 9 位 (MSB) (WaterLevel 的扩展)。此位仅在 512 字节 FIFO 模式下被启用。第 8 位到第 1 位在 WaterLevel 被定义
1 到 0	FIFOLength	定义用于 FIFO 长度 (FIFO 长度的扩张) 的第 10 位 (MSB) 和第 9 位。此两位仅在 512 字节 FIFO 模式下被启用, 第 8 位到第 1 位在 FIFOLength 被定义

### 9.4.2 水位 (WATERLEVEL)

定义用于 FIFO 的下溢及上溢警告级别。如果 512 位 FIFO 模式通过设置 FIFOControl.FIFOSize 位被启动, 则需要运用 FIFOControl 中的一个设置位来扩展水位定义。

表 54. WaterLevel 寄存器 (address 03h)

位	7	6	5	4	3	2	1	0
符号	WaterLevel							
访问权限	r/w							

表 55. WaterLevel 位

位	符号	描述
7 到 0	WaterLevel	<p>设置级别以显示可在 FIFOControl 中 HighAlert 及 LowAlert 位所读到的 FIFO 缓冲器状态。在 512 字节 IFO 模式下，寄存器由 FIFOControl 中的 WaterLevel 位来扩展。此功能可用来避免 FIFO 缓冲器上溢或下溢。</p> <p>如果 FIFO 缓冲器中的字节数等于或小于 WaterLevel 所定义的数量，FIFO Control 中的 HiAlert 位为逻辑 1。</p> <p>如果 FIFO 缓冲器中的字节数等于或小于 WaterLevel 所定义的数量，FIFO Control 中的 LoAlert 位为逻辑 1。</p> <p>注意：HiAlert 及 LoAlert 的计算，请参阅这些位元的寄存器说明（章节 9.4.1 “FIFOControl”）</p>

### 9.4.3 FIFO 长度 (FIFOLENGTH)

FIFO 缓冲器中的字节数。在 512 字节模式中此寄存器由 FIFOControl.FIFOLength 扩展。

表 56. FIFOLength 寄存器 (address 04h) ; 复位值: 00h

位	7	6	5	4	3	2	1	0
符号	FIFOLength							
访问权限	dy							

表 57. FIFOLength 位

位	符号	描述
7 到 0	FIFOLength	显示在 FIFO 缓冲器中的字节数。在 512 字节模式中此寄存器由 FIFOControl 寄存器中的 FIFOLength 位来扩展。写入到 FIFOData 寄存器递增, 读取则递减 FIFO 中的字节数。

### 9.4.4 FIFODATA

FIFO 缓冲器的输入与输出。与到其他地址的任何读取/写入不同, 读取或写入到 FIFO 地址并不会递增地址指针。从而产生向 FIFO 缓冲器的高效数据传输。到 FIFOData 寄存器的写入会递增, 读取则会递减 FIFO 所呈现的字节数。

表 58. FIFOData 寄存器 (address 05h)

位	7	6	5	4	3	2	1	0
符号	FIFOData							
访问权限	dy							

表 59. FIFOData 位

位	符号	描述
7 到 0	FIFOData	用于内部 FIFO 缓冲的数据输入与输出。请参阅章节 8.5 “缓冲器”。

## 9.5 中断配置寄存器

IRQ0 寄存器和 IRQ1 寄存器内置一个特殊功能, 以避免位被非刻意改动。

改变寄存器内容的机制需考虑如下:

IRQ (x) .Set 显示是否在位置 0 到 6 上的设置位需被清除或设置。如果 IRQ (x) .Set 的值为 1, 则由 0 到 6 位的值决定相应的位是否该被清除或者被设置。

用此寄存器应用程序可修改 CLRC663 保持的中断状态。

位 7 指明预期的修改是设置或清除位。任一个写入到第 6 到第 0 位位置的 1 都将根据位 7 的定义触发该位的设置或清除。例如: 写入 FFh 设置全部 0 到 6 位, 写入 7Fh 会清除中断请求寄存器中的全部 0 到 6 位。

### 9.5.1 IRQ0 寄存器

中断请求寄存器 0。

表 60. IRQ0 寄存器 (address 06h) ; 复位值: 00h

位	7	6	5	4	3	2	1	0
符号	Set	HiAlertIrq	LoQlertIrq	IdleIrq	TxIrq	RxIrq	ErrIrq	RxSOFIrq
访问权限	w	dy	dy	dy	dy	dy	dy	dy

表 61. IRQ0 位

位	符号	描述
7	Set	1: 在位 6 到位 0 写入 1 时设置该位的中断请求 0: 在位 6 到位 0 写入 1 时清除该位的中断请求
6	HiAlertIrq	当 Status1Reg 寄存器中的 HiAlert 位被设置时此位设置。与 HiAlert 不同的是, HiAlertIrq 存储此中断事件直到通过 Set 位将其清除。
5	LoQlertIrq	当 STATUS1 寄存器中的 LoAlert 位被设置时此位设置。与 LoAlert 不同的是, LoAlertIrq 存储此中断事件直到通过 Set 位将其清除。
4	IdleIrq	当命令自行终止时此位设置, 例如: 当命令的值改变为空闲命令时。如果一个未知命令开始, 命令将更改其内容成空闲状态, 则 IdleIrq 位会被设置。由控制器启动的空闲命令不会设置 IdleIrq 位。此位只能通过 Set 位清除。
3	TxIrq	当数据传输结束 (最后一个位被发送) 时设置。此位只能通过 Set 位清除。
2	RxIrq	当接收器检测到数据流的终止时设置。 注意: 此标志不表示所接收到的数据流是正确的。需评估错误标志, 以获取接收状态。此位只能通过 Set 位清除。
1	ErrIrq	当出现下列错误之一时被设置: FIFOvErr, FIFOvI, ProtErr, NoDataErr, IntegErr 此位只能通过 Set 位清除。
0	RxSOFIrq	当检测到 SOF 或副载波时被设置。此位只能通过 Set 位清除。

### 9.5.2 IRQ1 寄存器

中断请求寄存器 1。

表 62. IRQ1 寄存器 (address 07h)

位	7	6	5	4	3	2	1	0
符号	Set	GlobalIrq	LPCD_Irq	Timer4Irq	Timer3Irq	Timer2Irq	Timer1Irq	Timer0Irq
访问权限	w	dy	dy	dy	dy	dy	dy	dy

表 63. IRQ1 位

位	符号	描述
7	Set	1: 在位 5 到 0 写入 1 时设置该位的中断请求 0: 在位 5 到 0 写入 1 时清除该位的中断请求
6	GlobalIrq	当有效的 Irq 发生时设置
5	LPCD_Irq	在低功耗卡检测序列 (LPCD) 中检测到卡时设置
4	Timer4Irq	设置为逻辑 1, 当定时器 4 产生下溢。
3	Timer3Irq	设置为逻辑 1, 当定时器 3 产生下溢。
2	Timer2Irq	设置为逻辑 1, 当定时器 2 产生下溢。
1	Timer1Irq	设置为逻辑 1, 当定时器 1 产生下溢。
0	Timer0Irq	设置为逻辑 1, 当定时器 0 产生下溢。

### 9.5.3 IRQ0EN 寄存器

用于 IRQ0 的中断请求使能寄存器。此寄存器允许定义由 CLRC663 处理的中断请求。

表 64. IRQ0En 寄存器 (address 08h)

位	7	6	5	4	3	2	1	0
符号	Irq_Inv	HiAlertIrqEn	LoAlertIrqEn	IdleIrqEn	TxIrqEn	RxIrqEn	ErrIrqEn	RxSOFIrqEn
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 65. IRQ0En 位

位	符号	描述
7	Irq_Inv	设置为 1, IRQ 引脚信号会反转。
6	HiAlertIrqEn	设置为逻辑 1, 将允许缓冲区高警告的中断请求 (由 HiAlertIrq 位显示) 被传送到 GlobalIrq
5	LoAlertIrqEn	设置为逻辑 1, 将允许缓冲区低警告的中断请求 (由 LoAlertIrq 位显示) 被传送到 GlobalIrq
4	IdleIrqEn	设置为逻辑 1, 将允许空闲中断请求 (由 IdleIrq 位显示) 被传送到 GlobalIrq
3	TxIrqEn	设置为逻辑 1, 将允许发射器中断请求 (由 TxIrq 位显示) 被传送到 GlobalIrq
2	RxIrqEn	设置为逻辑 1, 将允许接收器中断请求 (由 RxIrq 位显示) 被传送到 GlobalIrq
1	ErrIrqEn	设置为逻辑 1, 将允许错误中断请求 (由 ErrorIrq 位显示) 被传送到 GlobalIrq
0	RxSOFIrqEn	设置为逻辑 1, 将允许 RxSOF 中断请求 (由 RxSOFIrq 位显示) 被传送到 GlobalIrq

### 9.5.4 IRQ1EN

用于 IRQ1 的中断请求使能寄存器。

表 66. IRQ1En 寄存器 (address 09h)

位	7	6	5	4	3	2	1	0
符号	IrqPushPull	IrqPinEn	LPCD_IrqEn	Timer4IrqEn	Timer3IrqEn	Timer2IrqEn	Timer1IrqEn	Timer0IrqEn
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 67. IRQ1En 位

位	符号	描述
7	IrqPushPull	设置为 1, IRQ 引脚当作 PushPull 引脚, 否则当作 OpenDrain 引脚
6	IrqPinEn	设置为逻辑 1, 它允许全局中断请求 (由 GlobalIrq 位显示) 被传送到中断引脚
5	LPCD_IrqEn	设置为逻辑 1, 它允许 LPCD 中断请求 (由 LPCDIrq 位显示) 被传送到 GlobalIrq
4	Timer4IrqEn	设置为逻辑 1, 它允许定时器 4 中断请求 (由 Timer4Irq 位显示) 被传送到 GlobalIrq
3	Timer3IrqEn	设置为逻辑 1, 它允许定时器 3 中断请求 (由 Timer3Irq 位显示) 被传送到 GlobalIrq
2	Timer2IrqEn	设置为逻辑 1, 它允许定时器 2 中断请求 (由 Timer2Irq 位显示) 被传送到 GlobalIrq
1	Timer1IrqEn	设置为逻辑 1, 它允许定时器 1 中断请求 (由 Timer1Irq 位显示) 被传送到 GlobalIrq
0	Timer0IrqEn	设置为逻辑 1, 它允许定时器 0 中断请求 (由 Timer0Irq 位显示) 被传送到 GlobalIrq

## 9.6 非接触接口配置寄存器

### 9.6.1 ERROR

错误寄存器。

表 68. Error 寄存器 (address 0Ah)

位	7	6	5	4	3	2	1	0
符号	EE_Err	FIFOWr Err	FIFOovl	MinFrame Err	NoDataErr	CollDet	ProtErr	IntegErr
访问权限	dy	dy	dy	dy	dy	dy	dy	dy



表 69. Error 位

位	符号	描述
7	EE_Err	在上一个 EEPROM 命令中出现的错误。有关详细信息，请参阅 EEPROM 命令描述
6	FIFOWrErr	数据在不恰当的时候被写入 FIFO，包括在 CRC 发送过程中，“RxWait”，“等待数据”或“接收”状态过程中，或在认证命令过程中。当一个新的 CL 命令开始时，该标志将被清除。如果 RxMultiple 被启动，此位会在错误标志被写入 FIFO 后被清除
5	FIFOovl	FIFO 在数据写入后就会满溢。FIFO 的现有数据将保持不变。此标志被设置为 1 后，被写入 FIFO 的所有数据都将被忽略。
4	MinFrameErr	已收到有效的 SOF，但随后接收到少于 4 位的数据。 注意：少于 4 位的数据帧将被自动删除，RxDecoder 保持使能。此外，RxIrq 将不被设置。同样原则，在 EMD 抑制启动的情况下，小于 3 字节的数据也会引发此位的设置。 注意：在接收或收发命令开始时，MinFrameErr 会自动清除。在收发命令的情况下，它会在接收阶段开始时被清除（“等待数据”状态）
3	NoDataErr	数据应被发送，但 FIFO 中没有数据
2	CollDet	发生碰撞。第一次碰撞的位置显示在 RxColl 寄存器。 注意：CollDet 会在接收或收发命令启动时自动清除。在收发命令的情况下，它会在接收阶段开始时被清除（“等待数据”状态）。 注意：如果是已定义 EOF 符号的一部分发生碰撞，CollDet 不会设置为 1。
1	ProtErr	发生协议错误。协议错误可以是一个错误的停止位，遗失或错误的 ISO/IEC 14443B EOF 或 SOF 或错误的接收数据字节数。当检测到协议错误时，数据接收将停止。 注意：ProtErr 会在接收或收发命令启动时自动清除。在收发命令的情况下，它会在接收阶段开始时被清除（“等待数据”状态）。 注意：当协议错误发生，最后接收到的数据字节将不会写入 FIFO。
0	IntegErr	检测到数据完整性错误。可能原因是错误的奇偶校验或错误 CRC。在数据完整性错误情况下，接收可继续。 注意：IntegErr 会在接收或收发命令启动时自动清除。在收发命令的情况下，它会在接收阶段开始时被清除（“等待数据”状态）。 注意：若 NoColl 位设置，也会在 IntegErr 设置碰撞。

## 9.6.2 STATUS

状态寄存器。

表 70. 状态寄存器 (address 0Bh)

位	7	6	5	4	3	2	1	0
符号	-	-	Crypto1On	-	-	ComState		
访问权限	RFU	RFU	dy	RFU	RFU	r		

表 71. 状态位

位	符号	描述
7 到 6	-	RFU
5	Crypto1On	指定 MIFARE 加密是否启动。清除此位将关闭 MIFARE 加密。此位只能被 MFAuthent 命令设置
4 到 3	-	RFU
2 到 0	ComState	ComState 显示发射器和接收器状态机的状态:
		000b...Idle 空闲
		001b...TxWait 等待发送
		011b...Transmitting 发送
		101b...RxWait 等待接收
		110b... Wait for data 等待数据
		111b...Receiving 接收
		100b...not used 未使用

### 9.6.3 RXBITCTRL

接收器控制寄存器

表 72. RxBitCtrl 寄存器 (address 0Ch)

位	7	6	5	4	3	2	1	0
符号	ValuesAfterColl	RxAlign			NoColl	RxLastBits		
访问权限	r/w	r/w			r/w	w		

表 73. RxBitCtrl 位

位	符号	描述
7	ValuesAfterColl	如果清除，在接收发生碰撞位置后的每个位都被 0 取代。此功能用于 ISO/IEC 14443 防碰撞
6 到 4	RxAlign	用于接收以位为基本单位的帧：RxAlign 定义用于接收到的第一个有效位的位置。后续接收到的位则根据第一位的位置递增。 范例： RxAlign=0h - 接收位的 LSB 存储在第 0 位，第二个接收的位存储在第 1 位位置。 RxAlign=1h - 接收位的 LSB 存储在第 1 位，第二个接收的位存储在第 2 位位置。 RxAlign=7h - 接收位的 LSB 存储在第 7 位，第二个接收的位存储在随后字节的第 0 位位置。 注意：如果 RxAlign=0，数据接收以字节为基本单位，否则以位为基本单位。
3	NoColl	若此位设置，碰撞会导致 IntegErr（完整性错误）。
2 到 0	RxLastBits	定义在以位为基本单位通信中接收到的最后数据字节的有效位数。如果为零，整个字节都为有效。 注意：在以位为基本单位的通信中，这些位由 RxDecoder 在通信结束时设置。在接收开始时，这些位将被复位。

## 9.6.4 RXCOLL

接收器碰撞寄存器。

表 74. RxColl 寄存器 (address 0Dh)

位	7	6	5	4	3	2	1	0
符号	CollPosValid	CollPos						
访问权限	r	r						

表 75. RxColl 位

位	符号	描述
7	CollPosValid	如果设置为 1, CollPos 的值即为有效。否则, 没有检测到碰撞或碰撞的位置在 CollPos 所能定义的范围外。
6 到 0	CollPos	<p>这些位显示在接收帧中第一个检测到的碰撞位位置 (只针对数据位)。CollPos 仅能显示数据流的前 8 个字节范围内的碰撞。</p> <p>例如:</p> <p>00h 表示在第 1 位的位碰撞</p> <p>01h 表示在第 2 位的位碰撞</p> <p>08h 表示在第 9 位的位碰撞 (第 2 字节的第 1 位)</p> <p>3Fh 表示在第 64 位的位碰撞 (第 8 字节的第 8 位)</p> <p>当 CollPosValid 位设置时, 这些位仅能在 106 kbit/s 被动通信模式, 或 ISO/IEC 14443A/MIFARE 读写器模式, 或 ISO/IEC 15693/ICODE SLI 读/写模式下被解释执行。</p> <p>注意: 如果 RxBitCtrl.RxAlign 设置为不同于 0 的值, 这个值会被包括在 CollPos 里。</p> <p>范例: RxAlign=4h, 在第 4 已接收位 (此为该 UID 字节的最后一位) 发生碰撞。在此情况下, CollPos=7h。</p>

## 9.7 定时器配置寄存器

### 9.7.1 TCONTROL

用于定时器段的控制寄存器。

Tcontrol 内置了特殊功能，以避免对设置位的非刻意改动。

位 3 到 0 指定位 7 到 4 的修改意图。

例如：写入 FFh 设置位 7 到 4，写入 F0h 不会改变位 7 到 4 的内容。

表 76. TControl 寄存器 (address 0Eh)

位	7	6	5	4	3	2	1	0
符号	T3Running	T2Running	T1Running	T0Running	T3StartStopNow	T2StartStopNow	T1StartStopNow	T0StartStopNow
访问权限	dy	dy	dy	dy	w	w	w	w

表 77. TControl 位

位	符号	描述
7	T3Running	表示 Timer3 正在运作。如果 T3startStopNow 位被设置/清除，此位和定时器可以被启动/停止
6	T2Running	表示 Timer2 正在运作。如果 T2startStopNow 位被设置/清除，此位和定时器可以被启动/停止
5	T1Running	表示 Timer1 正在运作。如果 T1startStopNow 位被设置/清除，此位和定时器可以被启动/停止
4	T0Running	表示 Timer0 正在运作。如果 T0startStopNow 位被设置/清除，此位和定时器可以被启动/停止
3	T3StartStopNow	如果设置，位 7 TControlT3Running 可被修改。
2	T2StartStopNow	如果设置，位 6 TControlT2Running 可被修改。
1	T1StartStopNow	如果设置，位 5 TControlT1Running 可被修改。
0	T0StartStopNow	如果设置，位 4 TControlT0Running 可被修改。

### 9.7.2 T0CONTROL

用于定时器 0 的控制寄存器。

表 78. T0Control 寄存器 (address 0Fh)

位	7	6	5	4	3	2	1	0
符号	T0StopRx	-	T0Start		T0AutoRestart	-	T0Clk	
访问权限	r/w	RFU	r/w		r/w	RFU	r/w	

表 79. T0Control 位

位	符号	描述
7	T0StopRx	如果设置，定时器在接收前 4 位后将立即停止。如果清除，定时器不会自动停止。 注意：如果 LFO 微调被 T0Start 选择，此位无效。
6	-	RFU
5 到 4	T0Start	00b: 定时器不会自动开始 01b: 定时器在传输结束时自动开始 10b: 定时器用于无下溢时的 LFO 微调（在 PsoEdge 侧启动/停止） 11b: 定时器用于有下溢时的 LFO 微调（在 PsoEdge 侧启动/停止）
3	T0AutoRestart	1: 在计数器值达到零值时，定时器会用 T0ReloadValue 的预设值重启计时。 0: 定时器递减到 0 然后停止。 当本定时器下溢时，Timer1Irq 位被设置为 1。
2	-	RFU
1 到 0	T0Clk	00b: 定时器输入时钟在 13.56 MHz 01b: 定时器输入时钟在 211.875 MHz 10b: 定时器输入时钟为定时器 2 的下溢 11b: 定时器输入时钟为定时器 1 的下溢

### 9.7.2.1 TORELOADHI

定时器 0 预设值的高字节。

表 80. T0ReloadHi 寄存器 (address 10h)

位	7	6	5	4	3	2	1	0
符号	T0ReloadHi							
访问权限	r/w							

表 81. T0ReloadHi 位

位	符号	描述
7 到 0	T0ReloadHi	定义定时器重载值的高字节。定时器以启动事件加载寄存器 T0ReloadValHi 和寄存器 T0ReloadValLo 值。改变此寄存器仅会在下次启动事件影响定时器。

### 9.7.2.2 TORELOADLO

定时器 0 预设值的低字节。

表 82. T0ReloadLo 寄存器 (address 11h)

位	7	6	5	4	3	2	1	0
符号	T0ReloadLo							
访问权限	r/w							

表 83. T0ReloadLo 位

位	符号	描述
7 到 0	T0ReloadLo	定义定时器重载值的低字节。定时器以启动事件加载寄存器 T0ReloadValHi 和寄存器 T0ReloadValLo 值。改变此寄存器仅会在下次启动事件影响定时器。

### 9.7.2.3 T0COUNTERVALHI

定时器 0 当前计数值的高字节。

表 84. T0CounterValHi 寄存器 (address 12h)

位	7	6	5	4	3	2	1	0
符号	T0CounterValHi							
访问权限	dy							

表 85. T0CounterValHi 位

位	符号	描述
7 到 0	T0CounterValHi	定时器 0 当前计数值的高字节值。 此值在接收过程不会被读取。

### 9.7.2.4 T0COUNTERVALLO

定时器 0 当前计数值的低字节。

表 86. T0CounterValLo 寄存器 (address 13h)

位	7	6	5	4	3	2	1	0
符号	T0CounterValLo							
访问权限	dy							

表 87. T0CounterValLo 位

位	符号	描述
7 到 0	T0CounterValLo	定时器 0 当前计数值的低字节值。 此值在接收过程不会被读取。

### 9.7.2.5 T1CONTROL

定时器 1 的控制寄存器。

表 88. T1Control 寄存器 (address 14h)

位	7	6	5	4	3	2	1	0
符号	T1StopRx	-	T1Start		T0AutoRestart	-	T1Clk	
访问权限	r/w	RFU	r/w		r/w	RFU	r/w	

表 89. T1Control 位

位	符号	描述
7	T1StopRx	如果设置，定时器在接收前 4 位后将停止。如果清除，定时器不会自动停止。 注意：如果 LFO 微调被 T1Start 选择，此位无效。
6	-	RFU
5 到 4	T1Start	00b: 定时器不会自动开始 01b: 定时器在传输结束时自动开始 10b: 定时器用于无下溢时的 LFO 微调（在 PosEdge 侧启动/停止） 11b: 定时器用于有下溢时的 LFO 微调（在 PosEdge 侧启动/停止）
3	T1AutoRestart	设置为逻辑 1: 在计数器值达到零值时，用 T1ReloadValue 的预设值重启计时。 设置为逻辑 0: 定时器递减到 0 并停止。 当本定时器下溢时，Timer1Irq 位被设置为 1。
2	-	RFU
1 到 0	T1Clk	00b: 定时器输入时钟在 13.56 MHz 01b: 定时器输入时钟在 211.875 MHz 10b: 定时器输入时钟为定时器 0 的下溢 11b: 定时器输入时钟为定时器 2 的下溢

#### 9.7.2.6 T1RELOADHI

定时器 1 预设值的高字节（MSB）。

表 90. T1ReloadHi 寄存器（address 15h）

位	7	6	5	4	3	2	1	0
符号	T1ReloadHi							
访问权限	r/w							

表 91. T1ReloadHi 位

位	符号	描述
7 到 0	T1ReloadHi	定义定时器 1 重载值的高字节。定时器以启动事件加载寄存器 T1ReloadValHi 和寄存器 T1ReloadValLo 值。改变此寄存器仅会在下次启动事件影响定时器。

#### 9.7.2.7 T1RELOADLO

定时器 1 预设值的低字节（LSB）。

表 92. T1ReloadLo 寄存器（address 16h）

位	7	6	5	4	3	2	1	0
符号	T1ReloadLo							
访问权限	r/w							



表 93. T1ReloadLo 位

位	符号	描述
7 到 0	T1ReloadLo	定义定时器 1 重载值的低字节。改变此寄存器仅会在下次启动事件影响定时器。

### 9.7.2.8 T1COUNTERVALHI

定时器 1 当前计数值的高字节（MSB）。

表 94. T1CounterValHi 寄存器（address 17h）

位	7	6	5	4	3	2	1	0
符号	T1CounterValHi							
访问权限	dy							

表 95. T1CounterValHi 位

位	符号	描述
7 到 0	T1CounterValHi	定时器 1 的当前值高字节。 此值在接收过程不会被读取。

### 9.7.2.9 T1COUNTERVALLO

定时器 1 当前值的低字节（LSB）。

表 96. T1CounterValLo 寄存器（address 18h）

位	7	6	5	4	3	2	1	0
符号	T1CounterValLo							
访问权限	dy							

表 97. T1CounterValLo 位

位	符号	描述
7 到 0	T1CounterValLo	计数器 1 当前值的低字节。 此值在接收过程不会被读取。

### 9.7.2.10 T2CONTROL

定时器 2 的控制寄存器。

表 98. T2Control 寄存器（address 19h）

位	7	6	5	4	3	2	1	0
符号	T2StopRx	-	T2Start		T2AutoRestart	-	T2Clk	
访问权限	r/w	RFU	r/w		r/w	RFU	r/w	

表 99. T2Control 位

位	符号	描述
7	T2StopRx	如果设置，定时器在接收前 4 位后将停止。如果清除，定时器不会自动停止。 注意：如果 T2Start 选择 LFO 微调，此位无效。
6	-	RFU
5 到 4	T2Start	00b: 定时器不会自动开始 01b: 定时器在传输结束时自动开始 10b: 定时器用于无下溢时的 LFO 微调 (PosEdge 时启动/停止) 11b: 定时器用于有下溢时的 LFO 微调 (PosEdge 时启动/停止)
3	T2AutoRestart	设置为逻辑 1: 在计数器值达到零值时，定时器会从 T2ReloadValue 自动复位并重启计时。 设置为逻辑 0: 定时器递减到 0 且停止。 当定时器下溢时，Timer2Irq 位被设置为 1。
2	-	RFU
1 到 0	T2Clk	00b: 定时器输入时钟在 13.56 MHz 01b: 定时器输入时钟在 212 kHz 10b: 定时器输入时钟为定时器 0 的下溢 11b: 定时器输入时钟为定时器 1 的下溢

#### 9.7.2.11 T2RELOADHI

定时器 2 预设值的高字节。

表 100. T2ReloadHi 寄存器 (address 1Ah)

位	7	6	5	4	3	2	1	0
符号	T2ReloadHi							
访问权限	r/w							

表 101. T2ReloadHi 位

位	符号	描述
7 到 0	T2ReloadHi	定义定时器 2 预设值的高字节。定时器以启动事件加载寄存器 T2ReloadValHi 和寄存器 T2ReloadValLo 值。改变此寄存器仅会在下次启动事件影响定时器。

#### 9.7.2.12 T2RELOADLO

定时器 2 预设值的低字节。

表 102. T2ReloadLo 寄存器 (address 1Bh)

位	7	6	5	4	3	2	1	0
符号	T2ReloadLo							
访问权限	r/w							

表 103. T2ReloadLo 位

位	符号	描述
7 到 0	T2ReloadLo	定义定时器 2 预设值的低字节。定时器以启动事件加载寄存器 T2ReloadValHi 和寄存器 T2ReloadValLo 值。改变此寄存器仅会在下次启动事件影响定时器。

## 9.7.2.13 T2COUNTERVALHI

定时器 2 当前计数值的高字节。

表 104. T2CounterValHi 寄存器 (address 1Ch)

位	7	6	5	4	3	2	1	0
符号	T2CounterValHi							
访问权限	dy							

表 105. T2CounterValHi 位

位	符号	描述
7 到 0	T2CounterValHi	定时器 2 当前计数器值的高字节。 此值在接收过程不会被读取。

## 9.7.2.14 T2COUNTERVALLOREG

定时器 2 当前计数值的低字节。

表 106. T2CounterValLo 寄存器 (address 1Dh)

位	7	6	5	4	3	2	1	0
符号	T2CounterValLo							
访问权限	dy							

表 107. T2CounterValLo 位

位	符号	描述
7 到 0	T2CounterValLo	计数器 2 当前计数值的低字节。 此值在接收过程不会被读取。

## 9.7.2.15 T3CONTROL

定时器 3 的控制寄存器。

表 108. T3Control 寄存器 (address 1Eh)

位	7	6	5	4	3	2	1	0
符号	T3StopRx	-	T3Start		T3AutoRestart	-	T3Clk	
访问权限	r/w	RFU	r/w		r/w	RFU	r/w	

表 109. T3Control 位

位	符号	描述
7	T3StopRx	如果设置，定时器在接收前 4 位后将停止。如果清除，定时器不会自动停止。 注意：如果 T3Start 选择 LFO 微调，此位无效。
6	-	RFU
5 到 4	T3Start	00b: 定时器不会自动开始 01b: 定时器在传输结束时自动开始 10b: 定时器用于无下溢时的 LFO 微调 (PosEdge 时启动/停止) 11b: 定时器用于有下溢时的 LFO 微调 (PosEdge 时启动/停止)
3	T3AutoRestart	设置为逻辑 1: 在计数器值达到零值时，定时器会从 T3ReloadValue 自动复位并重启计时。 设置为逻辑 0: 定时器递减到 0 且停止。 当定时器下溢 Timer3Irq 位被设置为 1。
2	-	RFU
1 到 0	T3Clk	00b: 定时器输入时钟在 13.56 MHz 01b: 定时器输入时钟在 212 kHz 10b: 定时器输入时钟为定时器 0 的下溢 11b: 定时器输入时钟为定时器 1 的下溢

## 9.7.2.16 T3RELOADHI

定时器 3 预设值的高字节。

表 110. T3ReloadHi 寄存器 (address 1Fh)

位	7	6	5	4	3	2	1	0
符号	T3ReloadHi							
访问权限	r/w							

表 111. T3ReloadHi 位

位	符号	描述
7 到 0	T3ReloadHi	定义定时器 3 预设值的高字节。定时器以启动事件加载寄存器 T3ReloadValHi 和寄存器 T3ReloadValLo 值。改变此寄存器仅会在下次启动事件影响定时器。

## 9.7.2.17 T3RELOADLO

定时器 3 预设值的低字节。

表 112. T3ReloadLo 寄存器 (address 20h)

位	7	6	5	4	3	2	1	0
符号	T3ReloadLo							
访问权限	r/w							

表 113. T3ReloadLo 位

位	符号	描述
7 到 0	T3ReloadLo	定义定时器 3 预设值的低字节。定时器以启动事件加载寄存器 T3ReloadValHi 和寄存器 T3ReloadValLo 值。改变此寄存器仅会在下次启动事件影响定时器。

#### 9.7.2.18 T3COUNTERVALHI

为 16 位定时器 3 当前计数值的高字节。

表 114. T3CounterValHi 寄存器 (address 21h)

位	7	6	5	4	3	2	1	0
符号	T3CounterValHi							
访问权限	dy							

表 115. T3CounterValHi 位

位	符号	描述
7 到 0	T3CounterValHi	定时器 3 当前计数器值的高字节。 此值在接收过程不会被读取。

#### 9.7.2.19 T3COUNTERVALLO

16 位定时器 3 当前计数值的低字节。

表 116. T3CounterValLo 寄存器 (address 22h)

位	7	6	5	4	3	2	1	0
符号	T3CounterValLo							
访问权限	dy							

表 117. T3CounterValLo 位

位	符号	描述
7 到 0	T3CounterValLo	计数器 3 当前计数值的低字节。 此值在接收过程不会被读取。

#### 9.7.2.20 T4CONTROL

唤醒定时器 4 在给定时间后启动系统。使能后可以被用于启动低功耗卡检测功能。

表 118. T4Control 寄存器 (address 23h)

位	7	6	5	4	3	2	1	0
符号	T4Running	T4Start StopNow	T4Auto Trimm	T4AutoL PCD	T4AutoResta rt	T4AutoWakeUp	T4Clk	
访问权限	dy	w	r/w	r/w	r/w	r/w	r/w	

表 119. T4Control 位

位	符号	描述
7	T4dRunning	显示定时器 4 是否正在运行。若 T4StartStopNow 位被设置，此位和定时器 4 可被启动/停止
6	T4StartStopNow	若设置，T4Running 位可被更改
5	T4AutoTrimm	若设置，当下溢时定时器会启动 LPO 微调程序。对于 T4AutoTrimm 功能而言，至少得有一个定时器（T0 到 T3）需要被适当配置用作微调功能（若 T4AutoLPCD 被设置，则不可使用 T3）
4	T4AutoLPCD	若设置为 1，定时器将启动低功耗卡检测序列。若检测到卡则会发出中断请求，随后系统会根据设置保持活动状态。如果没有检测到卡，CLRC663 会根据设置进入掉电模式。定时器会自动重新启动（无间隔）。定时器 3 被用来设置 RF 载波被启动的时间用以检查是否有卡存在。因此，定时器 3 在 LPCD 模式下不能作 T4AutoTrimm 的设置。
3	T4AutoRestart	设置为逻辑 1：在计数器值达到零值时，定时器会从 T4ReloadValue 自动复位并重启计时。 设置为逻辑 0：定时器递减到 0 且停止。 Timer4Irq 位被设置为 1 当定时器下溢。
2	T4AutoWakeUp	若设置，当定时器 4 下溢时，CLRC663 会自动唤醒。如果芯片在完成 T4AutoTrim 和/或 T4AutoLPCD 并且没有检测到卡片时，若需要进入掉电模式，此位需要被设置为 1；若系统需要保持活动状态，则此位需要被设置为 0。
1 到 0	T4Clk	00b: 定时器输入时钟为 LFO 时钟 01b: 定时器输入时钟为 LFO 时钟/8 10b: 定时器输入时钟为 LFO 时钟/16 11b: 定时器输入时钟为 LFO 时钟/32

### 9.7.2.21 T4RELOADHI

16 位定时器 4 预设值的高字节。

表 120. T4ReloadHi 寄存器（address 24h）

位	7	6	5	4	3	2	1	0
符号	T4ReloadHi							
访问权限	r/w							

表 121. T4ReloadHi 位

位	符号	描述
7 到 0	T4ReloadHi	定义定时器 4 预设值的高字节。定时器 4 以启动事件加载寄存器 T4ReloadVal。改变此寄存器仅会在下次启动事件影响定时器。

### 9.7.2.22 T4RELOADLO

16 位定时器 4 预设值的低字节。

表 122. T4ReloadLo 寄存器 (address 25h)

位	7	6	5	4	3	2	1	0
符号	T4ReloadLo							
访问权限	r/w							

表 123. T4ReloadLo 位

位	符号	描述
7 到 0	T4ReloadLo	定义定时器 4 预设值的低字节。定时器以启动事件加载寄存器 T4ReloadVal。改变此寄存器仅会在下次启动事件影响定时器。

### 9.7.2.23 T4COUNTERVALHI

16 位定时器 4 当前计数值的高字节。

表 124. T4CounterValHi 寄存器 (address 26h)

位	7	6	5	4	3	2	1	0
符号	T4CounterValHi							
访问权限	dy							

表 125. T4CounterValHi 位

位	符号	描述
7 到 0	T4CounterValHi	定时器 4 当前计数器值的高字节。

### 9.7.2.24 T4COUNTERVALLO

位定时器 4 当前计数值的低字节。

表 126. T4CounterValLo 寄存器 (address 27h)

位	7	6	5	4	3	2	1	0
符号	T4CounterValLo							
访问权限	dy							

表 127. T4CounterValLo 位

位	符号	描述
7 到 0	T4CounterValLo	计数器 4 当前计数值的低字节。

## 9.8 发射机配置寄存器

### 9.8.1 DRVMODE

表 128. DrvMode 寄存器 (address 28h)

位	7	6	5	4	3	2	1	0
符号	Tx2Inv	Tx1Inv	-	-	TxEn	TxClkMode		
访问权限	r/w	r/w	RFU	RFU	r/w	r/w		

表 129. DrvMode 位

位	符号	描述
7	Tx2Inv	在 TX2 引脚反转发射机 2 的信号
6	Tx1Inv	在 TX1 引脚反转发射机 1 的信号
5	-	RFU
4	-	RFU
3	TxEn	若设置为 1，两个传送器引脚皆被使能
2 到 0	TxClkMode	发射机的时钟设定（参阅章节 8.6.2. 表 27）。不支持编码 011b 和 0b110。此寄存器定义输出模式，可选择开漏，推挽，高阻抗或拉高或拉低模式。

### 9.8.2 TXAMP

通过 `set_cw_amplitude`，寄存器输出功率可与电源电压抑制相权衡。消耗更多功率余量，会导致更好的电源抑制比率和更好的调制精确度。

通过 `CwMax` 设置，TX1 的电压将被上拉到可能的最大化。该寄存器设置优先于由 `set_cw_amplitude` 所做的设置。

表 130. TxAmp 寄存器（address 29h）

位	7	6	5	4	3	2	1	0
符号	set_cw_amplitude		-	set_residual_carrier				
访问权限	r/w		RFU	r/w				

表 131. TxAmp 位

位	符号	描述
7 到 6	set_cw_amplitude	允许发射机输出振幅减少固定值。 4 个从 TVDD 扣除掉的不同预设值可以选择： 0: TVDD-100 mV 1: TVDD -250 mV 2: TVDD -500 mV 3: TVDD -1000 mV
5	RFU	-
4 到 0	set_residual_carrier	设定剩余载波百分比。参阅 8.6.2 章节。

### 9.8.3 DRVCON

表 132. DrvCon 寄存器（address 2Ah）

位	7	6	5	4	3	2	1	0
符号	OvershootT2				CwMax	TxInv	TxSel	
访问权限	r/w				r/w	r/w	r/w	r/w



表 133. DrvCon 位

位	符号	描述
7 到 4	OvershootT2	指定用于预防过冲的额外调制长度（载波时钟数）。请参阅章节 8.6.2.1 “过冲防护”。
3	CwMax	设置连续载波幅度到最大。 如果设置，set_cw_amplitude 在 TxAmp 寄存器中对连续载波振幅并无影响。
2	TxInv	如果设置，由 TxSel 定义所产生的调制信号将反转。
1 到 0	TxSel	定义哪个信号将被用作调制源 00b... 没有调制 01b... TxEnvelope 10b... SigIn 11b... RFU

#### 9.8.4 TXL

表 134. TxI 寄存器（address 2Bh）

位	7	6	5	4	3	2	1	0
符号	OvershootT1				tx_set_iLoad			
访问权限	r/w				r/w			

表 135. TxI 位

位	符号	描述
7 到 4	OvershootT1	定时器 1 的过冲值。请参阅章节 8.6.2.1 “过冲保护”。
3 到 0	tx_set_iLoad	工厂微调值，设置预期 Tx 的负载电流。根据这个预期负载电流，可以用较优化的方式控制调制指数。

## 9.9 CRC 配置寄存器

### 9.9.1 TXCRCPRESET

表 136. TxCrcPreset 寄存器（address 2Ch）

位	7	6	5	4	3	2	1	0
符号	RFU	TXPresetVal		TxCRCType		TxCRCInvert	TxCRCEn	
访问权限	-	r/w		r/w		r/w	r/w	

表 137. TxCRcPreset 位

位	符号	描述
7	RFU	-
6 到 4	TXPresetVal	指定 CRC 的传输预设值（见表 138）
3 到 2	TxCRCtype	定义计算哪种类别的 CRC（CRC8/CRC16/CRC5）： <ul style="list-style-type: none"> <li>• 00h - CRC5</li> <li>• 01h - CRC8</li> <li>• 02h - CRC16</li> <li>• 03h - RFU</li> </ul>
1	TxCRCInvert	如果设置，得到的 CRC 会被反转，且附加到数据帧（ISO/IEC 3309）
0	TxCRCEn	如果设置，CRC 将被附加到数据流

表 138. 发送器 CRC 预设值配置

TXPresetVal [6...4]	CRC16	CRC8	CRC5
0h	0000h	00h	00h
1h	6363h	12h	12h
2h	A671h	BFh	-
3h	FFFEh	FDh	-
4h	-	-	-
5h	-	-	-
6h	使用者定义	使用者定义	使用者定义
7h	FFFFh	FFh	1Fh

**备注:** 使用者定义的 CRC 预设值可由 EEPROM 配置（请参阅 8.7.2.1 章节，表 35 “配置区（第 0 页）”）。

## 9.9.2 RXCRCPRESET

表 139. RxCRcPreset 寄存器（address 2Dh）

位	7	6	5	4	3	2	1	0
符号	RxForceCRCWrite	RxPresetVal			RXCRcType		RxCRCInvert	RxCRCEn
访问权限	r/w	r/w			r/w		r/w	r/w

表 140. RxCRcPreset 位

位	符号	描述
7	RxForceCrcWrite	如果设置，接收到的 CRC 字节将被复制到 FIFO。如果被清除，CRC 字节只会被检查但不会复制到 FIFO。在不以字节为基本单位计算 CRC 的情况下，此位必须被设置（例如：ISO/IEC 18000-3 mode 3/ EPC Class-1HF）。
6 到 4	RxPresetVal	定义 CRC 传输预设值（Hex.）（见表 141）
3 到 2	RxCRCtype	定义计算哪种类别的 CRC（CRC8/CRC16/CRC5）： <ul style="list-style-type: none"> <li>• 00h -- CRC5</li> <li>• 01h -- CRC8</li> <li>• 02h -- CRC16</li> <li>• 03h -- RFU</li> </ul>

表 140. RxCrcCon 位 ... (续上表)

位	符号	描述
1	RxCRCInvert	如果设置, 用于反转 CRC 的 CRC 检查会执行。
0	RxCRCEn	如果设置, CRC 会被检查, 且一旦发生错误 CRC, 错误标志将被设置。否则, CRC 会被计算, 但错误标志不会被修改。

表 141. 接收器 CRC 预设值配置

RXPresetVal [6...4]	CRC16	CRC8	CRC5
0h	0000h	00h	00h
1h	6363h	12h	12h
2h	A671h	BFh	-
3h	FFFEh	FDh	-
4h	-	-	-
5h	-	-	-
6h	使用者定义	使用者定义	使用者定义
7h	FFFFh	FFh	1Fh

## 9.10 发送器配置寄存器

### 9.10.1 TXDATANUM

表 142. TxDataNum 寄存器 (address 2Eh)

位	7	6	5	4	3	2	1	0
符号	RFU	RFU	RFU	KeepBitGrid	DataEn	TxLastBits		
访问权限	-	-	-	r/w	r/w	r/w		

表 143. TxDataNum 位

位	符号	描述
7 到 5	RFU	-
4	KeepBitGrid	若被设置, 连续传输开始之间的时间为 ETU 的倍数。若被清除, 连续传输甚至可以在一个 ETU 之内进行。。
3	DATAEN	如果清除 - 可以发送单一符号模式。 如果设置 - 数据将被发送。
2 到 0	TxLastBits	定义要发送最后一个数据字节的位的数目。如果设置为 000b, 最后一个数据字节的所有位都会被发送。 注意 - 字节末尾的位将被跳过。 范例 - 数据字节 B2h (LSB 先发送)。 TxLastBits=011b (3h) => 010b (LSB 在前) 发送 TxLastBits=110b (6h) => 010011b (LSB 在前) 发送

### 9.10.2 TXMODWIDTH

发射机数据调制宽带寄存器。

表 144. TxModWidth 寄存器 (address 2Fh)

位	7	6	5	4	3	2	1	0
符号	DModeWidth							
访问权限	r/w							

表 145. TxModWidth 位

位	符号	描述
7 到 0	DModWidth	<p>定义在脉冲调制时发送数据的脉冲长度。长度由载波时钟数+1 来给定。</p> <p>脉冲长度始终小于脉冲开始到位的结束所占用的时长。脉冲的起始位置由设置 TxDataMod.DPulseType 来给定。</p> <p>注意：此寄存器仅在使用密勒调制 (ISO/IEC 14443A PCD) 的情况下被使用。这些设置也被用于调制启动和/或停止符号的宽度。</p>

### 9.10.3 TXSYM10BURSTLEN

如果协议需要一个突发信号（未调制的副载波），其长度可由此 TxSymBurstLen 位来定义，值的高低可由 TxSym10BurstCtrl 定义。

表 146. TxSys10BurstLen 寄存器（address 30h）

位	7	6	5	4	3	2	1	0
符号	RFU	Sym1BurstLen			RFU	Sym0BurstLen		
访问权限	-	r/w			-	r/w		

表 147. TxSym10BurstLen 位

位	符号	描述
7	RFU	-
6 到 4	Sym1BurstLen	用于指定突发符号 1 所需的位的数量。3 位编码范围从 8 到 256 位： 00h - 8 位 01h - 16 位 02h - 32 位 04h - 48 位 05h - 64 位 06h - 96 位 07h - 128 位 08h - 256 位
3	RFU	-
2 到 0	Sym0BurstLen	用于指定突发符号 0 所需的位的数量。3 位编码范围从 8 到 256 位： 00h - 8 位 01h - 16 位 02h - 32 位 03h - 48 位 04h - 64 位 05h - 96 位 06h - 128 位 07h - 256 位

### 9.10.4 TXWAITCTRL

表 148. TxWaitCtrl 寄存器（address 31h）；复位值：C0h

位	7	6	5	4	3	2	1	0
符号	TxWaitStart	TxWaitEtu	TxWaitHigh			TxStopBitLength		
访问权限	r/w	r/w	r/w			r/w		

表 149. TXWaitCtrl 位

位	符号	描述
7	TxWaitStart	如果清除，TxWait 的时间在传输数据结束 (TX) 时启动。 如果设置，TxWait 的时间在数据接收结束时 (RX) 开始。
6	TxWaitEtu	如果清除，TxWait 的时间为 TxWait x 16/13.56 MHz。 如果设置，TxWait 的时间为 TxWait x 0.5/DBFreq 的 (DBFreq 是由 TxDataCon 所定义的位流频率)。
5 到 3	TxWaitHigh	TxWaitLo 的位扩展。TxWaitCtrl 第 5 位为 MSB。
2 到 0	TxStopBitLength	定义停止位和发送的 EGT (=停止位+额外保护时间 EGT)： 0h: 无停止位，无 EGT 1h: 1 个停止位，无 EGT 2h: 1 个停止位 + 1 EGT 3h: 1 个停止位 + 2 EGT 4h: 1 个停止位 + 3 EGT 5h: 1 个停止位 + 4 EGT 6h: 1 个停止位 + 5 EGT 7h: 1 个停止位 + 6 EGT 注意：仅使用于 ISO/IEC 14443 Type B

## 9.10.5 TXWAITLO

表 150. TxWaitLo 寄存器 (address 32h)

位	7	6	5	4	3	2	1	0
符号	TxWaitLo							
访问权限	r/w							

表 151. TxWaitLo 位

位	符号	描述
7 到 0	TxWaitLo	定义接收和发送之间或 2 个发送数据流之间的最短时间。 注意: TxWait 是 11 位寄存器 (额外 3 位在 TxWaitCtrl 寄存器中) ! 另见 TxWaitEtu 和 TxWaitStart。

## 9.11 FRAMECON

表 152. FrameCon 寄存器 (address 33h)

位	7	6	5	4	3	2	1	0
符号	TxParityEn	RxParityEn	-	-	StopSym	StartSym		
访问权限	r/w	r/w	RFU	RFU	r/w	r/w		

表 153. FrameCon 位

位	符号	描述
7	TxParityEn	如果设置, 将计算校验位, 并附加到每个被发送的字节。
6	RxParityEn	如果设置, 将使能校验计算。校验位不会被传输到 FIFO。
5 到 4	-	RFU
3 到 2	StopSym	定义哪个符号将被当作停止符号发送: <ul style="list-style-type: none"> <li>0h: 无符号发送</li> <li>1h: 发送 Symbol1</li> <li>2h: 发送 Symbol2</li> <li>3h: 发送 Symbol3</li> </ul>
1 到 0	StartSym	定义哪个符号将被当作开始符号发送: <ul style="list-style-type: none"> <li>0h: 无符号发送</li> <li>1h: 发送 Symbol1</li> <li>2h: 发送 Symbol2</li> <li>3h: 发送 Symbol3</li> </ul>

## 9.12 接收器配置寄存器

## 9.12.1 RXSOFD

表 154. RxSofD 寄存器 (address 34h)

位	7	6	5	4	3	2	1	0
符号	RFU		SOF_En	SOFDetected	RFU	SubC_En	SubC_Detected	SubC_Present
访问权限	-		r/w	dy	-	r/w	dy	r

表 155. RxSofD 位

位	符号	描述
7 到 6	RFU	-
5	SOF_En	若设置且检测到 SOF, 会发出 RxSOFIrq
4	SOFDetected	显示过去或现在检测到 SOF。可由软件清除
3	RFU	-
2	SubC_En	若设置且检测到副载波, 会发出 RxSOFIrq
1	SubC_Detected	显示是否检测到或者已经检测到副载波。可由软件清除
0	SubC_Present	显示当前检测到副载波

## 9.12.2 RXCTRL

表 156. RxCtrl 寄存器 (address 35h)

位	7	6	5	4	3	2	1	0
符号	RxAllowBits	RxMultiple	RxEofType	EGT_Check	EMD_Sup	Baudrate		
访问权限	r/w	r/w	r/w	r/w	r/w	r/w		

表 157. RxCtrl 位

位	符号	描述
7	RxAllowBits	若设置, 即使接收到非完整字节且包含 CRC, 数据仍将被写入 FIFO。
6	RxMultiple	若设置, RxMultiple 被启动且接收器不会自动终止 (参阅 8.10.3.6 章节“接收指令”)。若设置为逻辑 1, 在已接收数据流的尾端, 一个错误字节会被加到 FIFO。错误字节由错误寄存器复制而来。
5	RxEofType	0: 预期会收到在 RxEOFSymbolReg 中定义的结束符号。 1: 预期会收到 ISO/IEC 14443B 定义的 EOF。 注意: 清除此位到 0, 并清除 RxEOFSymbolReg 中的第 0 位和第 1 位会禁用 EOF 的检测。



表 157. RxCtrl 位 (... 续上页)

位	符号	描述
4	EGT_Check	若设置为 1, 将检查 EGT 且若其过长会设置协议错误 (仅适用于 ISO/IEC 14443 Type B)
3	EMD_Sup	根据 ISO/IEC 14443 抑制 EMD。如果在前三字节内有错误发生, 此三个字节会被认定为 EMD 而被忽略, 且 FIFO 被复位。如果接收到有效的 SOF, EMD_Sup 被设置且收到一个少于 3 个字节的帧, 这时的碰撞会被视为错误。RX_IRq 在此 EMD 错误情况下不会被设置。如果 RxForceCRCWrite 设置, FIFO 不应该在 3 字节被写入前被读取。
2 到 0	Baudrate	定义接收信号的传输速度。 2h: 26 kBd 3h: 52 kBd 4h: 106 kBd 5h: 212 kBd 6h: 424 kBd 7h: 847 kBd 上述以外的值为 RFU

### 9.12.3 RXWAIT

选择内部接收器设置。

表 158. RxWait 寄存器 (address 36h)

位	7	6	5	4	3	2	1	0
符号	RxWaitEtu	RxWait						
访问权限	r/w	r/w						

表 159. RxWait 位

位	符号	描述
7	RxWaitEtu	若设置为 0, RxWait 时间为 RxWait x 16/13.56 MHz 若设置为 1, RxWait 时间为 RxWait x (0.5/DBFreq)
6 到 0	RxWait	定义发送后的等待时间, 期间接受到的输入都将被忽略

### 9.12.4 RXTHRESHOLD

表 160. RxThreshold 寄存器 (address 37h)

位	7	6	5	4	3	2	1	0
符号	MinLevel				MinLevelP			
访问权限	r/w				r/w			

表 161. RxTheshold 位

位	符号	描述
7 到 4	MinLevel	定义接收的 MinLevel 注意: MinLevel 应高于系统噪声电平
3 到 0	MinLevelP	定义相移检测器单元的 MinLevel。

### 9.12.5 RCV

表 162. Rcv 寄存器 (address 38h)

位	7	6	5	4	3	2	1	0
符号	Rcv_Rx_single	Rx_ADCmode	SigInsel		RFU		CollLevel	
访问权限	r/w	r/w	r/w		-		r/w	

表 163. Rcv 位

位	符号	描述
7	Rcv_Rx_single	单一 RXP 输入引脚模式: 0: 全差分 1: 准差分
6	Rx_ADCmode	定义模数转换器 (ADC) 的操作模式: 0: ADC 的正常接收模式 1: ADC 的 LPCD 模式
5 到 4	SigInsel	定义用于信号处理单元的输入: 0h - 闲置 1h - 内部模拟模块信号 (RX) 2h - 包络信号 (ISO/IEC 14443A) 3h - S3C 通用信号
3 到 2	RFU	-
1 到 0	CollLevel	定义被认定为碰撞的信号强度: 0h - 碰撞具有至少 1/8 的信号强度 1h - 碰撞具有至少 1/4 的信号强度 2h - 碰撞具有至少 1/2 的信号强度 3h - 碰撞检测被关闭

### 9.12.6 RXANA

该寄存器允许设置增益 (rcv\_gain) 和高通转角频率 (rcv\_hpcf)。

表 164. RxAna 寄存器 (address 39h)

位	7	6	5	4	3	2	1	0
符号	VMid_r_sel		RFU		rcv_hpcf		rcv_gain	
访问权限	r/w		-		r/w		r/w	

表 165. RxAna 位

位	符号	描述
7, 6	VMid_r_sel	工厂微调值, 需为 0
5, 4	RFU	-
3, 2	rcv_hpcf	rcv_hpcf[1:0]信号允许基带放大器截止频率由~40 kHz 到~300 kHz 的 4 个不同的设定值
1 到 0	rcv_gain	用 rcv_gain[1:0]可以配置从 30 分贝和 60 分贝四个不同的增益设置 (差分输出电压/差分输入电压)。

表 166. 增益和高通转角寄存器设置的影响

rcv_gain (Hex.)	rcv_hpcf (Hex.)	fl (kHz)	fU (MHz)	gain (dB20)	Bandwith (MHZ)
03	00	38	2, 3	60	2, 3
03	01	79	2, 4	59	2, 3
03	02	150	2, 6	58	2, 5
03	03	264	2, 9	55	2, 6
02	00	41	2, 3	51	2, 3
02	01	83	2, 4	50	2, 3
02	02	157	2, 6	49	2, 4
02	03	272	3, 0	41	2, 7
01	00	42	2, 6	43	2, 6
01	01	84	2, 7	42	2, 6
01	02	157	2, 9	41	2, 7
01	03	273	3, 3	39	3, 0
00	00	43	2, 6	35	2, 6
00	01	85	2, 7	34	2, 6
00	02	159	2, 9	33	2, 7
00	03	276	3, 4	30	3, 1

## 9.13 时钟配置

### 9.13.1 SERIALSPEED

该寄存器用于设置 RS232 接口速度。默认值设置为 9.6kbit/s。接口的传输速度可以通过修改 BR\_T0 和 BR\_T1 来实现。传送速度可使用下列公式计算:

$$BR\_T0 = 0: \text{传送速度} = 27.12 \text{ MHz} / (BR\_T1 + 1)$$

$$BR\_T0 > 0: \text{传送速度} = 27.12 \text{ MHz} / (BR\_T1 + 33) / 2^{(BR\_T0 - 1)}$$

组帧内建以 1 个起始位, 8 个数据位及 1 个停止位。不使用奇偶位。不支持超过 1228.8 kbit/s 的传输速度。

表 167. SerialSpeed 寄存器 (address 3Bh) ; 复位值: 7Ah

位	7	6	5	4	3	2	1	0
符号	BR_T0				BR_T1			
访问权限	r/w				r/w			

表 168. SerialSpeed 位

位	符号	描述
7 到 5	BR_T0	BR_T0 = 0: transfer speed = 27.12 MHz / (BR_T1 + 1) BR_T0 > 0: transfer speed = 27.12 MHz / (BR_T1 + 33) / 2 <sup>(BR_T0 - 1)</sup>
4 到 0	BR_T1	BR_T0 = 0: transfer speed = 27.12 MHz / (BR_T1 + 1) BR_T0 > 0: transfer speed = 27.12 MHz / (BR_T1 + 33) / 2 <sup>(BR_T0 - 1)</sup>

表 169. RS232 速度设置

传输速度	SerialSpeed 寄存器内容 (Hex.)
7.2	FA
9.6	EB
14.4	DA
19.2	CB
38.4	AB
57.6	9A
115.2	7A
128.0	74
230.4	5A
460.8	3A
921.6	1C
1228.8	15

### 9.13.2 LFO\_TRIMM

表 170. LFO\_Trimm 寄存器 (address 3Ch)

位	7	6	5	4	3	2	1	0
符号	LFO_trimm							
访问权限	r/w							

表 171. LFO\_Trimm 位

位	符号	描述
7 到 0	LFO_trimm	微调值。请参阅第 8.8.3 章节“低功耗振荡器 (LFO)” 注意: 如果微调值递增, 振荡器频率则递减。

### 9.13.3 PLL\_CTRL 寄存器

PLL\_Ctrl 寄存器具有 IntegerN PLL 的控制寄存器的功能。从 27.12 MHz 晶振频率产生 ClkOut 信号分为两阶段。第一阶段中，27.12 MHz 的输入信号乘以 PLLDiv\_FB 定义的值，再除以 2，第二阶段将此频率除以由 PLLDIV\_Out 定义的值。

表 172. PLL\_Ctrl 寄存器 (address 3Dh)

位	7	6	5	4	3	2	1	0
符号	ClkOutSel				ClkOut_En	PLL_PD	PLLDiv_FB	
访问权限	r/w				r/w	r/w	r/w	

表 173. PLL\_Ctrl 寄存器位

位	符号	描述
7 到 4	ClkOutSel	<ul style="list-style-type: none"> <li>• 0h - CLKOUT 引脚当作 I/O 使用</li> <li>• 1h - CLKOUT 引脚 显示模拟 PLL 输出</li> <li>• 2h - CLKOUT 引脚 保留在 0</li> <li>• 3h - CLKOUT 引脚保留在 1</li> <li>• 4h - CLKOUT 引脚输出来自晶振的 27.12 MHz</li> <li>• 5h - CLKOUT 引脚输出源于晶振的 13.56 MHz</li> <li>• 6h - CLKOUT 引脚输出源于晶振的 6.78 MHz</li> <li>• 7h - CLKOUT 引脚输出源于晶振的 3.39 MHz</li> <li>• 8h - CLKOUT 引脚由定时器 0 上溢切换</li> <li>• 9h - CLKOUT 引脚由定时器 1 上溢切换</li> <li>• Ah - CLKOUT 引脚由定时器 2 上溢切换</li> <li>• Bh - CLKOUT 引脚由定时器 3 上溢切换</li> <li>• Ch...Fh - RFU</li> </ul>
3	ClkOut_En	使能 CLKOUT 引脚上的时钟
2	PLL_PD	PLL 关机
1 到 0	PLLDiv_FB	PLL 反馈分频器 (见表 174)

表 174. 反馈分频器 PLLDiv\_FB [1:0]

位 1	位 0	分频
0	0	23 (VCO 频率 312 MHz)
0	1	27 (VCO 频率 366 MHz)
1	0	28 (VCO 频率 380 MHz)
1	1	23 (VCO 频率 312 MHz)

### 9.13.4 PLL\_DIVOUT

表 175. PLL\_DivOut 寄存器 (address 3Eh)

位	7	6	5	4	3	2	1	0
符号	PLL_DivOut							
访问权限	r/w							

表 176. PLL\_DivOut 位

位	符号	描述
7 到 0	PLL_DivOut	PLL 输出分频器系数；参阅第 8.8.2 章节

表 177. PLL\_DivOut [1:0] 输出分频器比设置

位 1	分频
0	RFU
1	RFU
2	RFU
3	RFU
4	RFU
5	RFU
6	RFU
7	RFU
8	8
9	9
10	10
...	...
253	253
254	254

## 9.14 低功耗卡片检测配置寄存器

LPCD 寄存器包含用于低功耗卡片检测的设置。LPCD\_IMax（6 位）的设置是通过 LPCD\_QMin，LPCD\_QMax 和 LPCD\_IMin 寄存器各自的两个最高位（第 7 位，第 6 位）来完成。

### 9.14.1 LPCD\_QMIN

表 178. LPCD\_Qmin 寄存器（address 3Fh）

位	7	6	5	4	3	2	1	0
符号	LPCD_IMax.5	LPCD_IMax.4	LPCD_QMin					
访问权限	r/w	r/w	r/w					

表 179. LPCD\_QMin 位

位	符号	描述
7, 6	LPCD_IMax	定义 LPCD 高界限值中最高的两位。如果 I 信道的测量值高于 LPCD_IMax，一个 LPCD 中断请求会由位 IRQ0.LPCDIrq 指示。
5 到 0	LPCD_QMin	定义 LPCD 低界限值。如果 Q 信道的测量值高于 LPCD_QMin，一个 LPCD 中断请求会由位 IRQ0.LPCDIrq 指示。

## 9.14.2 LPCD\_QMAX

表 180. LPCD\_QMax 寄存器 (address 40h)

位	7	6	5	4	3	2	1	0
符号	LPCD_IMax.3	LPCD_IMax.2	LPCD_QMax					
访问权限	r/w	r/w	r/w					

表 181. LPCD\_QMax 位

位	符号	描述
7	LPCD_IMax.3	定义 LPCD 高界限值中的第 3 位。如果 I 信道的测量值高于 LPCD_IMax，会触发 LPCD IRQ。
6	LPCD_IMax.2	定义 LPCD 高界限值中的第 2 位。如果 I 信道的测量值高于 LPCD_IMax，会触发 LPCD IRQ。
5 到 0	LPCD_QMax	定义 LPCD 高界限值。如果 Q 信道的测量值高于 LPCD_QMax，会触发 LPCD IRQ。

## 9.14.3 LPCD\_IMIN

表 182. LPCD\_IMin 寄存器 (address 41h)

位	7	6	5	4	3	2	1	0
符号	LPCD_IMax.1	LPCD_IMax.0	LPCD_IMin					
访问权限	r/w	r/w	r/w					

表 183. LPO\_IMin 位

位	符号	描述
7 到 6	LPCD_IMax	定义低功耗卡片检测 (LPCD) 高界限值的最低 2 位。如果 I 信道的测量值高于 LPCD_IMax，会触发 LPCD IRQ。
5 到 0	LPCD_IMin	定义低功耗卡片检测 (LPCD) 低界限值。如果 I 信道的测量值低于 LPCD_IMin，会触发 LPCD IRQ。

## 9.14.4 LPCD\_I\_RESULT

表 184. LPCD\_I\_Result 寄存器 (address 42h)

位	7	6	5	4	3	2	1	0
符号	RFU	RFU	LPCD_I_Result					
访问权限	-	-	r					

表 185. LPCD\_I\_Result 位

位	符号	描述
7 到 6	RFU	-
5 到 0	LPCD_I_Result	显示最新的低功耗卡片检测 (I 信道) 结果

## 9.14.5 LPCD\_Q\_RESULT

表 186. LPCD\_Q\_Result 寄存器 (address 43h)

位	7	6	5	4	3	2	1	0
符号	RFU	LPCD_Irq_Clr	LPCD_Q_Result					
访问权限		r/w	r					

表 187. LPCD\_Q\_Result 位

位	符号	描述
7	RFU	-
6	LPCD_Irq_Clr	若设置，直到下一次低功耗卡片检测程序之前将不会再发出 LPCD IRQ。可由软件用来清除中断源。
5 到 0	LPCD_Q_Result	显示最新的低功耗卡片检测 (Q 信道) 结果

## 9.15 引脚功能

## 9.15.1 PADEN

表 188. PadEn 寄存器 (address 44h)

位	7	6	5	4	3	2	1	0
符号	SIGIN_EN	CLKOUT_EN	IFSEL1_EN	IFSEL0_EN	TCK_EN	TDI_EN	TDO_EN	TMS_EN
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 189. PadEn 位

位	符号	描述
7	SIGIN_EN	使能 SIGIN (第 5 引脚) 上的输出功能。引脚被当作 I/O。
6	CLKOUT_EN	使能 CLKOUT (第 22 引脚) 的输出功能。引脚被当作 I/O。CLKOUT 功能被关闭。
5	IFSEL1_EN	使能 SIGIN (第 27 引脚) 的输出功能。引脚被当作 I/O。
4	IFSEL0_EN	使能 SIGIN (第 26 引脚) 的输出功能。引脚被当作 I/O。
3	TCK_EN	使能边界扫描接口 TCK (第 4 引脚) 的输出功能。引脚被当作 I/O。若 EEPROM 中的边界扫描启动，此位没有功能。
2	TDI_EN	使能边界扫描接口 TDI (第 2 引脚) 的输出功能。引脚被当作 I/O。若 EEPROM 中的边界扫描启动，此位没有功能。
1	TDO_EN	使能边界扫描接口 TDO (第 1 引脚) 的输出功能。引脚被当作 I/O。若 EEPROM 中的边界扫描启动，此位没有功能。
0	TMS_EN	使能边界扫描接口 TMS (第 3 引脚) 的输出功能。引脚被当作 I/O。若 EEPROM 中的边界扫描启动，此位没有功能。



## 9.15.2 PADOUT

表 190. PadOut 寄存器 (address 45h)

位	7	6	5	4	3	2	1	0
符号	SIGIN_OUT	CLKOUT_OUT	IFSEL1_OUT	IFSELO_OUT	TCK_OUT	TDI_OUT	TDO_OUT	TMS_OUT
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表 191. PadOut 位

位	符号	描述
7	SIGIN_OUT	SIGIN 引脚的输出缓冲
6	CLKOUT_OUT	CLKOUT 引脚的输出缓冲
5	IFSEL1_OUT	IFSEL1 引脚的输出缓冲
4	IFSELO_OUT	IFSELO 引脚的输出缓冲
3	TCK_OUT	TCK 引脚的输出缓冲
2	TDI_OUT	TDI 引脚的输出缓冲
1	TDO_OUT	TDO 引脚的输出缓冲
0	TMS_OUT	TMS 引脚的输出缓冲

## 9.15.3 PADIN

表 192. PadIn 寄存器 (address 46h)

位	7	6	5	4	3	2	1	0
符号	SIIGIN_IN	CLKOUT_IN	IFSEL1_IN	IFSELO_IN	TCK_IN	TDI_IN	TDO_IN	TMS_IN
访问权限	r	r	r	r	r	r	r	r

表 193. PadIn 位

位	符号	描述
7	SIGIN_IN	SIGIN 引脚的输入缓冲
6	CLKOUT_IN	CLKOUT 引脚的输入缓冲
5	IFSEL1_IN	IFSEL1 引脚的输入缓冲
4	IFSELO_IN	IFSELO 引脚的输入缓冲
3	TCK_IN	TCK 引脚的输入缓冲
2	TDI_IN	TDI 引脚的输入缓冲
1	TDO_IN	TDO 引脚的输入缓冲
0	TMS_IN	TMS 引脚的输入缓冲

## 9.15.4 SIGOUT

表 194. SigOut 寄存器 (address 47h)

位	7	6	5	4	3	2	1	0
符号	PadSpeed		RFU				SigOutSel	
访问权限	r/w		-				r/w	

表 195. SigOut 位

位	符号	描述
7	PadSpeed	若设置, I/O 引脚支持快速切换模式。I/O 快速模式将增加器件的峰值电流消耗, 尤其是如果有多个 I/O 同时切换。电源所能提供的峰值电流需要被考量。
6 到 4	RFU	-
3 到 0	SIGOutSel	0h, 1h - SIGOUT 引脚为 3 态 2h - SIGOUT 引脚为 0 3h - SIGOUT 引脚为 1 4h - SIGOUT 引脚显示发射调制包络 5h - SIGOUT 引脚显示 TX-active 信号 6h - SIGOUT 引脚显示 S3C (通用) 信号 7h - SIGOUT 引脚显示接收调制包络 (仅对 ISO/IEC 14443A, 106 kbd 有效) 8h - SIGOUT 引脚显示 RX-active 信号 9h - SIGOUT 引脚显示 RX 位信号

## 9.16 发射机配置寄存器

### 9.16.1 TXBITMOD

表 196. TxBitMod 寄存器 (address 48h)

位	7	6	5	4	3	2	1	0
符号	TxMSBFirs t	RFU	TxParity Type	RFU	TxStopBit Type	RFU	TxStartBit Type	TxStartBit En
访问权限	r/w	-	r/w	-	r/w	-	r/w	r/w

表 197. TxBitMod 位

位	符号	描述
7	TxMSBFirst	若设置, 被传输的数据将以 MSB 为先的原则解释执行。若清除, 数据将以 LSB 为先原则解释执行
6	RFU	-
5	TxParity Type	定义奇偶校验位类别。若设置为 1, 将计算奇数奇偶校验, 否则将计算偶数奇偶校验
4	RFU	-
3	TxStopBitType	定义停止位类别 (0b: 逻辑 0 / 1b: 逻辑 1)
2	RFU	-
1	TxStartBitType	定义起始位类别 (0b: 逻辑 0 / 1b: 逻辑 1)
0	TxStartBitEn	若设置为 1, 将发送起始位

## 9.16.2 TXDATACon

表 198. TxDataCon 寄存器 (address 4Ah)

位	7	6	5	4	3	2	1	0
符号	DCodeType				DSCFreq	DBFreq		
访问权限	r/w				r/w	r/w		

表 199. TxDataCon 位

位	符号	描述
7 到 4	DCodeType	指定要使用的数据编码类别: 0h - 没有特殊的编码 1h - 碰撞数据流解码 2h - RFU 3h - RFU 4h - 归零码 - 脉冲在第一位置 5h - 归零码 - 脉冲在第二位置 6h - 归零码 - 脉冲在第三位置 7h - 归零码 - 脉冲在第四位置 8h - 4 取 1 编码 9h - 256 取 1 编码 (范围由 0 - 255) [ICODE SLI] Ah - 256 取 1 编码 (范围由 0 - 255; 00h 由无调制编码, 不使用 256 值) [ICODE 1] Bh - 256 取 1 编码 (范围由 0 - 255; 00h 由最后位置脉冲编码) Ch - 脉冲内部编码 (PIE) [ISO/IEC 18000-3 mode 3/ EPC Class-1HF] Dh - RFU Eh - RFU Fh - RFU
3	DSCFreq	指定使用包的副载波频率 0h - 424 kHz 1h - 848 kHz 注意: 此设置仅在使用的包需要副载波时相关, 例如: 曼彻斯特副载波编码。
2 到 0	DBFreq	指定位流频率: 0h - RFU 1h - RFU 2h - 26 kHz 3h - 53 kHz 4h - 106 kHz 5h - 212 kHz 6h - 424 kHz 7h - 848 kHz

## 9.16.3 TXDATAMOD

表 200. TxDataMod 寄存器 (address 4Bh)

位	7	6	5	4	3	2	1	0
符号	Frame step	DMillerEn	DPulseType		DInvert	DEnvType		
访问权限	r/w	r/w	r/w		r/w	r/w		

表 201. TxDataMod 位

位	符号	描述
7	FrameStep	如果设置为 1，在每次发送开始时，每个数据字节会以单独的帧发送。SOF 和 EOF 根据组帧设置被附加到数据字节。在一个字节发送后，TxEncoder 等待新的开起始触发来继续下一个字节（触发将自动生成）。如果设置为 0，传输可完成的方式为，在开始触发后整个数据流的全部字节将被一次性发送。
6	DMillerEn	若设置，会根据改进的密勒码采用脉冲调制。 注意：如果 DpulseType 为 1h 则此位需被设置。
5 到 4	DPulseType	指定选定的脉冲调制类别。 0h - 无脉冲调制 1h - 脉冲开始于位首 2h - 脉冲开始于此位的 1/2 位置 3h - 脉冲开始于此位的 3/4 位置 注意：若设置 DMillerEn，DPulseType 需设为 1h。
3	DInvert	若设置，数据包络将反转。
2 到 0	DEnvType	指定数据包传输所使用的包络类别。选定的包络类别用于伪位流。 0h - 直接输出 1h - 曼彻斯特编码 2h - 以副载波进行曼彻斯特编码 3h - BPSK 4h - RZ（在第二个的半位开始的半位长度脉冲） 5h - RZ（在位首的半位长度脉冲） 6h - RFU 7h - RFU

#### 9.16.4 TXSYMFREQ

表 202. TxSymFreq (address 4Ch)

位	7	6	5	4	3	2	1	0
符号	S32SCFreq		S32BFreq		S10SCFreq		S10BFreq	
访问权限	r/w	r/w	r/w		r/w		r/w	

表 203. TxSymFreq 位

位	符号	描述
7	S32SCFreq	指定符号 2 和符号 3 的副载波频率： 0b ... 424 kHz 1b ... 848 kHz
6 到 4	S32BFreq	指定符号 2 和符号 3 的位流频率： 000b ... RFU 001b ... RFU 010b ... 26 kHz 011b ... 53 kHz 100b ... 106 kHz 101b ... 212 kHz 110b ... 424 kHz 111b ... 848 kHz
3	S10SCFreq	指定符号 0 和符号 1 的副载波频率： 0b ... 424 kHz 1b ... 848 kHz
2 到 0	S10BFreq	指定符号 0 和符号 1 的位流频率： 000b ... RFU 001b ... RFU 010b ... 26 kHz 011b ... 53 kHz 100b ... 106 kHz 101b ... 212 kHz 110b ... 424 kHz 111b ... 848 kHz

### 9.16.5 TXSYMO

TxSym0H and TxSym0L 两个寄存器创建含有用于符号 0 模式的 16 位寄存器。

表 204. TxSym0H (address 4Dh)

位	7	6	5	4	3	2	1	0
符号	Symbol0_H							
访问权限	r/w							

表 205. TxSym0H 位

位	符号	描述
7 到 0	Symbol0_H	Symbol0 符号定义的较高 8 位

表 206. TxSym0L (address 4Eh)

位	7	6	5	4	3	2	1	0
符号	Symbol0_L							
访问权限	r/w							

表 207. TxSym0L 位

位	符号	描述
7 到 0	Symbol0_L	Symbol0 符号定义的较低 8 位

### 9.16.6 TXSYM1

TxSym1H 和 TxSym1L 两个寄存器创建含有用于符号 1 模式的 16 位寄存器。

表 208. TxSym1H (address 4Fh)

位	7	6	5	4	3	2	1	0
符号	Symbol1_H							
访问权限	r/w							

表 209. TxSym1H 位

位	符号	描述
7 到 0	Symbol1_H	Symbol1 符号定义的较高 8 位

表 210. TxSym1L (address 50h)

位	7	6	5	4	3	2	1	0
符号	Symbol1_L							
访问权限	r/w							

表 211. TxSym1L 位

位	符号	描述
7 到 0	Symbol1_L	Symbol1 符号定义的较低 8 位

### 9.16.7 TXSYM2

表 212. TxSym2 (address 51h)

位	7	6	5	4	3	2	1	0
符号	Symbol2							
访问权限	r/w							

表 213. TxSym2 位

位	符号	描述
7 到 0	Symbol2	Symbol2 的符号定义

### 9.16.8 TXSYM3

表 214. TxSym3 (address 52h)

位	7	6	5	4	3	2	1	0
符号	Symbol3							
访问权限	r/w							

表 215. TxSym3 位

位	符号	描述
7 到 0	Symbol3	Symbol3 的符号定义

## 9.16.9 TXSYM10LEN

表 216. TxSym10Len (address 53h)

位	7	6	5	4	3	2	1	0
符号	Sym1Len				Sym0Len			
访问权限	r/w				r/w			

表 217. TxSym10Len 位

位	符号	描述
7 到 4	Sym1Len	指定符号 1 符号定义的有效位数。范围由 1 位 (0h) 到 16 位 (Fh)
3 到 0	Sym0Len	指定符号 0 符号定义的有效位数。范围由 1 位 (0h) 到 16 位 (Fh)

## 9.16.10 TXSYM32LEN

表 218. TxSym32Len (address 54h)

位	7	6	5	4	3	2	1	0
符号	RFU	Sym3Len			RFU	Sym2Len		
访问权限	-	r/w	r/w	r/w	-	r/w	r/w	r/w

表 219. TxSym32Len 位

位	符号	描述
7	RFU	-
6 到 4	Sym3Len	指定符号 3 符号定义的有效位数。范围由 1 位 (0h) 到 8 位 (7h)
3	RFU	-
2 到 0	Sym2Len	指定符号 2 符号定义的有效位数。范围由 1 位 (0h) 到 8 位 (7h)

## 9.16.11 TXSYM10BURSTCTRL

表 220. TxSym10BurstCtrl 寄存器 (address 55h)

位	7	6	5	4	3	2	1	0
符号	RFU	Sym1Burst Type	Sym1BurstOnly	Sym1BurstEn	RFU	Sym0Burst Type	Sym0BurstOnly	Sym0BurstEn
访问权限	-	r/w	r/w	r/w	-	r/w	r/w	r/w

表 221. TxSym10BurstCtrl 位

位	符号	描述
7	RFU	-
6	Sym1BurstType	指定符号 1 的突发类别。(逻辑 0 / 逻辑 1)
5	Sym1BurstOnly	若设置为 1, 符号 1 仅含突发信号且没有符号模式

表 221. TxSym10BurstCtrl 位 (...续上页)

位	符号	描述
4	Sym1BurstEn	使能在 TxSym10BurstLen 中定义的长度符号 1 的突发信号
3	RFU	-
2	Sym0BurstType	指定符号 0 的突发信号类别。(逻辑 0 / 逻辑 1)
1	Sym0BurstOnly	若设置为 1, 符号 0 仅含突发信号且没有符号模式
0	Sym0BurstEn	使能在 TxSym10BurstLen 中定义的长度符号 0 的突发信号

### 9.16.12 TXSYM10MOD

表 222. TxSym10Mod 寄存器 (address 56h)

位	7	6	5	4	3	2	1	0
符号	RFU	S10MillerEn	S10PulseType		S10Inv	S10EnvType		
访问权限	-	r/w	r/w		r/w	r/w		

表 223. TxSym10Mod 位

位	符号	描述
7	RFU	-
6	S10MillerEn	若设置, 会根据改进的密勒编码采用脉冲调制。 注意: 如果 DpulseType 是 1h 则此位需被设置。
5 到 4	S10PulseType	指定选定的脉冲调制类别: 0h - 无脉冲调制 1h - 脉冲开始于位首 2h - 脉冲开始于此位的 1/2 位置 3h - 脉冲开始于此位的 3/4 位置 注意: 若设置 DMillerEn, DPulseType 需设为 1h
3	S10Inv	若设置, 符号 0 与符号 1 的输出将反转
2 到 0	S10EnvType	指定符号 0 与符号 1 传输所使用的包络类别。选定的包络类别用于伪位流。 0h - 直接输出 1h - 曼彻斯特编码 2h - 以副载波进行曼彻斯特编码 3h - BPSK 4h - RZ 归零 (在半位开始的半位长度脉冲) 5h - RZ 归零 (在第二个的半位开始的长度脉冲) 6h - RFU 7h - RFU



## 9.16.13 TXSYM32MOD

表 224. TxSym32Mod 寄存器 (address 57h)

位	7	6	5	4	3	2	1	0
符号	RFU	S32MillerEn	S32PulseType		S32Inv	S32EnvType		
访问权限	-	r/w	r/w		r/w	r/w		

表 225. TxSym32Mod 位

位	符号	描述
7	RFU	-
6	S32MillerEn	若设置，会根据改进的密勒编码采用脉冲调制。 注意：若 S32PulseType 为 1h 则此位需被设置。
5 到 4	S32PulseType	指定选定的脉冲调制类别： 0h - 无脉冲调制 1h - 脉冲开始于位首 2h - 脉冲开始于此位的 1/2 位置 3h - 脉冲开始于此位的 3/4 位置
3	S32Inv	若设置，符号 2 与符号 3 的输出将反转
2 到 0	S32EnvType	指定符号 0 与符号 1 传输所使用的包络类别。逻辑上位流将与所选择的包络类别相结合。 0h - 直接输出 1h - 曼彻斯特编码 2h - 以副载波进行曼彻斯特编码 3h - BPSK 4h - RZ 归零（在第二个半位的开始的半位长度脉冲） 5h - RZ 归零（在位首开始的半位长度脉冲） 6h - RFU 7h - RFU

## 9.17 接收器配置

## 9.17.1 RXBITMOD

表 226. RxBitMod (address 58h)

位	7	6	5	4	3	2	1	0
符号	RFU	RFU	RxStopOnInvPar	RxStopOnLength	RxMSBFirst	RxStopBitEn	RxParityType	RFU
访问权限	-	-	r/w	r/w	r/w	r/w	r/w	-

表 227. RxBitMod 位

位	符号	描述
7 到 6	RFU	-
5	RxStopOnInvPar	若设置为 1，反转奇偶校验位将被用作停止条件
4	RxStopOnLength	若设置为 1，当已接收的字节达到组帧长度定义的数量，数据接收将停止。组帧长度的值由已接收的第一数据字节获取。
3	RxMSBFirst	若设置为 1，数据接收的数据字节将以 MSB 为先原则解读，此表示数据在 CLCOPro 接口将转换。若此位设为 0，数据会以 LSB 为先原则解读。
2	RxStopBitEn	若设置，一个停止位将被预设，检查并从数据流中提取。此外在检测停止位时，解调器的复位信号是可以使能重新同步解调器的发生器。如果预设的停止位不正确，将设置帧错误标志且接收也将中止。 注意：停止位始终被视为逻辑 1
1	RxParityType	定义计算的奇偶检验位类别： 若清除：偶数奇偶校验 若设置：奇数奇偶校验
0	RFU	-

### 9.17.2 RXEOFSYM

表 228. RxEofSym (address 59h)

位	7	6	5	4	3	2	1	0
符号	RxEofSymbol							
访问权限	r/w							

表 229. RxEofSym 位

位	符号	描述
7 到 0	RxEofSymbol	该值以 4 位的最大长度来定义 EOF 符号形式。每个 RxEofSymbol 的 2 位元组编码 EOF 符号的一个位。A 00 元组关闭符号。通过这种方式，可用第 0 位及第 1 位开始的方法来定义小于 4 位的符号。最左边的有效符号形式会被首先处理，表示此形式会先被预设。如果第 0 位和第 1 位均为零，EOF 符号将被禁用。下列映射被定义为： 0h - 无符号位 1h - 零值 2h - 一个值 3h - 碰撞 范例： 1Dh: 零-碰撞-零 E8h: 无符号，因为两个 LSB 位均为零

## 9.17.3 RXSYNCVALH

表 230. RxSyncValH 寄存器 (address 5Ah)

位	7	6	5	4	3	2	1	0
符号	RxSyncValH							
访问权限	r/w							

表 231. RxSyncValH 位

位	符号	描述
7 到 0	RxSyncValH	定义帧形式 (SOF) 起始的高字节, 其必须在接收数据之前

## 9.17.4 RXSYNCVALL

表 232. RxSyncValL 寄存器 (address 5Bh)

位	7	6	5	4	3	2	1	0
符号	RxSyncValL							
访问权限	r/w							

表 233. RxSyncValL 位

位	符号	描述
7 到 0	RxSyncValL	定义帧形式 (SOF) 起始的低字节, 其必须在接收数据之前

## 9.17.5 RXSYNCMOD

表 234. RxSyncMod (address 5Ch)

位	7	6	5	4	3	2	1	0
符号	SyncLen				SyncNegEdge	LastSyncHalf	SyncType	
访问权限	r/w				r/w	r/w	r/w	

表 227. RxBitMod 位

位	符号	描述
7 到 4	SyncLen	定义 RxSyncValH 和 RxSyncValL 寄存器中多少位是有效的。用于 ISO/IEC 14443B 的设置为 0。
3	SyncNegEdge	无相关峰值用于 SOF。相关的第一个负沿用于定义位格。
2	LastSyncHalf	相较于所有其他位, 同步模式的最后位, 只有一半的长度。(ISO/IEC 18000-3 mode 3/ EPC Class-1 HF)。
1 到 0	SyncType	0: 所有 16 位的 SyncVal 被解读为突发信号。 1: 四位位以下列方式被解释为一个位: {data, coll} 数据 = 0 或 1; coll = 1 表示该位上的碰撞。 注意: 如果 Coll = 1, 数据值将被忽略。 2: 在每个字节 (B 类别) 的每个起始位完成同步 3: RFU

## 9.17.6 RXMOD

表 236. RxMod (address 5Dh)

位	7	6	5	4	3	2	1	0
符号	RFU	RFU	PreFilter	RectFilter	SyncHigh	CorrInv	FSK	BPSK
访问权限	-	-	r/w	r/w	r/w	r/w	r/w	r/w

表 237. RxMod 位

位	符号	描述
7 到 6	RFU	-
5	PreFilter	若设置，4 个样本会被合为一个数据。（平均）
4	RectFilter	若设置，ADC 值将改变为矩形波状。
3	SyncHigh	定义位格是否固定在相关值的最大（1）或最小（0）。
2	CorrInv	定义曼彻斯特编码逻辑： 0: 副载波/ 无副载波
1	FSK	若设置为 1，解调方案设置为 FSK。
0	BPSK	若设置为 1，调解方案设置为 BPSK。

## 9.17.7 RXCORR

表 238. RxCorr 寄存器 (address 5Eh)

位	7	6	5	4	3	2	1	0
符号	CorrFreq		CorrSpeed		CorrLen	RFU		
访问权限	r/w		r/w		r/w	-		

表 239. RxCorr 位

位	符号	描述
7, 6	CorrFreq	0h - 212 kHz 1h - 424 kHz 2h - 848 kHz 3h - 848 kHz
5, 4	CorrSpeed	定义用于一个相关的时钟数。 0h - ISO/IEC 14443 1h - ICODE 53 kBd, FeliCa 424 kBd 2h - ICODE 26 kBd, FeliCa 212 kBd 3h - RFU
3	CorrLen	定义相关数据的长度（64 或 32 值）。 若设置，相关数据的长度为 32 值（ISO/IEC 18000-3 mode 3/ EPC Class-1 HF, 2 脉冲曼彻斯特 848 kHz 副载波）。
2 到 0	RFU	-

## 9.17.8 FABCAL

表 240. FabCal 寄存器 (address 5Fh)

位	7	6	5	4	3	2	1	0
符号	FabCal							
访问权限	r/w							

表 241. FabCal 位

位	符号	描述
7 到 0	FabCal	接收器的制备校准。 注意：此出厂值不需要更改。

## 9.18 寄存器版本

## 9.18.1 版本

表 242. 版本寄存器 (address 7Fh)

位	7	6	5	4	3	2	1	0
符号	Version				Subvention			
访问权限	r				r			

表 241. FabCali 位

位	符号	描述
7 到 4	Version	包括 CLRC663 silicon 版本号
3 到 0	Subversion	包括 CLRC663 silicon 次版本号

## 10 极限值

表 244. 极限值

根据绝对最大额定值系统 (IEC60134)

符号	参数	条件	最小	最大	单位
V <sub>DD</sub>	电源电压		-0.5	+5.5	V
V <sub>DD</sub> (PVDD)	PVDD 电源电压		-0.5	+5.5	V
V <sub>DD</sub> (TVDD)	TVDD 电源电压		-0.5	+5.5	V
V <sub>i</sub> (RXP)	RXP 引脚上的输入电压		-0.5	+2.0	V
V <sub>i</sub> (RXN)	RXN 引脚上的输入电压		-0.5	+2.0	V
P <sub>tot</sub>	总功耗	单个芯片	-	1125	mW
V <sub>ESD</sub> (HBM)	静电放电电压	人体放电模式 (HBM); 1500 Ω, 100 pF; JESD22-A114-B	-	2000	V
V <sub>ESD</sub> (CDM)	静电放电电压	带电器件放电模型 (CDM)	-	500	V
T <sub>j</sub> (max)	最高连结温度		-	150	°C

## 11 建议操作条件

表 245. 操作条件

符号	参数	条件	最小	典型	最大	单位
V <sub>DD</sub>	电源电压		3	5	5.5	V
V <sub>DD</sub> (TVDD)	TVDD 电源电压		3	5	5.5	V
V <sub>DD</sub> (PVDD)	PVDD 电源电压		3	5	5.5	V
T <sub>amb</sub>	环境温度		-25	-	+85	°C

[1] V<sub>DD</sub> (PVDD) 需与V<sub>DD</sub>相同或更低。

## 12 热特性

表 245. 操作条件

符号	参数	条件	包装	典型	单位
R <sub>th</sub> (j-a)	从结点到环境的热阻	在静止空气中与显示引脚焊接在 JEDEC 标准的 4 层 PCB 板上	HVQFN32	40	K/W

## 13 特性

表 247. 特性

符号	参数	条件	最小	典型	最大	单位
输入特性 I/O 引脚特性 IF3-SDA 在 I2C 的配置						
I <sub>LI</sub>	输入漏电流	输出禁用	-	2	100	nA
V <sub>IL</sub>	低电平输入电压		-0.5	-	+0.3 V <sub>DD</sub> (PVDD)	V
V <sub>IH</sub>	高电平输入电压		0.7 V <sub>DD</sub> (PVDD)		V <sub>DD</sub> (PVDD) +0.5	V
V <sub>OL</sub>	低电平输出电压	I <sub>OL</sub> = 3 mA	-	-	0.3	V

表 247. 特性 (...续上页)

符号	参数	条件	最小	典型	最大	单位
I <sub>OL</sub>	低电平输出电流	V <sub>OL</sub> = 0.4 V; 标准模式, 快速模式	4	-	-	mA
		V <sub>OL</sub> = 0.6 V; 标准模式, 快速模式	6	-	-	mA
t <sub>f (o)</sub>	输出下降沿时间	标准模式, 快速模式, C <sub>L</sub> < 400 pF	-	-	250	nS
		超快速模式, C <sub>L</sub> < 550 pF	-	-	120	nS
t <sub>SP</sub>	需由输入滤波器抑制的尖峰的脉冲宽度		0	-	50	nS
C <sub>i</sub>	输入电容		-	3.5	5	pF
C <sub>L</sub>	负载电容	标准模式	-	-	400	pF
		快速模式	-	-	550	pF
t <sub>EEER</sub>	EEPROM 数据保留时间	T <sub>amb</sub> = +55 °C	10	-	-	年
N <sub>EEC</sub>	EEPROM 可重复擦写次数	所有操作条件下	5 x 10 <sup>5</sup>	-	-	次
<b>模拟及数字电源 AVDD, DVDD</b>						
V <sub>DDA</sub>	模拟电源电压		-	1.8	-	V
V <sub>DDD</sub>	数字电源电压		-	1.8	-	V
C <sub>L</sub>	负载电容	AVDD	220	470	-	nF
C <sub>L</sub>	负载电容	DVDD	220	470	-	nF
<b>电流消耗</b>						
I <sub>stb</sub>	待机电流	待机位 =1	-	3	6	μA
I <sub>DD</sub>	电源电流	调制解调器开	-	17	20	mA
		调制解调器关	-	0.45	0.5	mA
I <sub>DD (TVDD)</sub>	TVDD 电源电流		-	100	200	mA
<b>I/O 引脚特性 SIGIN, SIGOUT, CLKOUT, IFSEL0, IFSEL1, TCK, TMS, TDI, TDO, IRQ, IF0, IF1, IF2, SCL2, SDA2</b>						
I <sub>LI</sub>	输入漏电流	输出禁用	-	50	500	nA
V <sub>IL</sub>	低电平输入电压		-0.5	-	0.3 V <sub>DD (PVDD)</sub>	V
V <sub>IH</sub>	高电平输入电压		0.7V <sub>DD (PVDD)</sub>	-	V <sub>DD (PVDD)</sub> +0.5	V
V <sub>OL</sub>	低电平输出电压	I <sub>OL</sub> =4mA, V <sub>DD (PVDD)</sub> =5.0V	-	-	0.4	V
		I <sub>OL</sub> =4mA, V <sub>DD (PVDD)</sub> =3.3V	-	-	0.4	V
V <sub>OH</sub>	高电平输出电压	I <sub>OL</sub> =4mA, V <sub>DD (PVDD)</sub> =5.0V	4.6	-	-	V
		I <sub>OL</sub> =4mA, V <sub>DD (PVDD)</sub> =3.3V	2.9	-	-	V
C <sub>i</sub>	输入电容		-	2.5	4.5	pF
<b>上拉电阻 TCK, TMS, TDI, IF2</b>						
R <sub>pu</sub>	上拉电阻		50	72	120	KΩ

表 247. 特性 (...续上页)

符号	参数	条件	最小	典型	最大	单位
<b>引脚特性 AUX 1, AUX 2</b>						
V <sub>o</sub>	输出电压		0	-	1.8	V
C <sub>L</sub>	负载电容		-	-	400	pF
<b>引脚特性 RXP, RXN</b>						
V <sub>i</sub>	输入电压		0	-	1.8	V
C <sub>i</sub>	输入电容		2	3.5	5	pF
V <sub>mod</sub> (pp)	调制电压	$V_{mod} (pp) = V_{i (pp) (max)} - V_{i (pp) (min)}$	-	2.5	-	mV
V <sub>pp</sub>	RXP, RXN 上的信号		-	-	1.65	V
<b>引脚 TX1 和 TX2</b>						
V <sub>o</sub>	输出电压		V <sub>ss</sub> (TVSS)	-	V <sub>DD</sub> (TVDD)	V
R <sub>o</sub>	输出电阻		-	1.5	-	Ω
<b>电流消耗</b>						
I <sub>pd</sub>	断电电流	环境温度 =25°C	-	8	40	nA
		环境温度 =85°C	-	200	400	nA
I <sub>stby</sub>	待机电流	环境温度 =25°C	[1]	3	6	μA
I <sub>LPCD</sub>	LPCD 睡眠电流		[1]	3	6	μA
I <sub>DD</sub>	电源电流	调制解调器关闭; 收发器关闭	-	17	20	mA
I <sub>DD</sub> (PVDD)	PVDD 电源电流	数字引脚上无加载	[2]	-	10	μA
I <sub>DD</sub> (TVDD)	TVDD 电源电流		[3][4][5]	100	200	mA
<b>时钟频率 CLKOUT 引脚</b>						
f <sub>clk</sub>	时钟频率	配置在 27.12 MHz	-	27.12	-	MHz
δ <sub>clk</sub>	时钟占空比		-	50	-	%
<b>晶体振荡器</b>						
V <sub>o</sub> (p-p)	峰值间输出电压	引脚 XTAL1	-	1	-	V
V <sub>i</sub>	输入电压	引脚 XTAL1	0	-	1.8	V
C <sub>i</sub>	输入电容	引脚 XTAL1	-	3	-	pF
<b>典型输入需求</b>						
f <sub>xtal</sub>	晶振频率		-	27.12	-	MHz
ESR	阻抗电容		-	50	100	Ω
C <sub>L</sub>	负载电容		-	10	-	pF
P <sub>xtal</sub>	晶体功耗		-	50	100	μW

[1] I<sub>pd</sub> 是所有电源的总电流。

[2] I<sub>DD</sub> (PVDD) 由数字引脚上的整体负载决定。

[3] I<sub>DD</sub> (TVDD) 由VDD (TVDD) 和连接到TX1和TX2引脚的外部电路决定。

[4] 在典型电路的操作过程中, 整体的电流低于100mA。

[5] 使用互补驱动程序配置和匹配至40Ω的天线, TX1和TX2引脚间为13.56 MHz时的典型值。



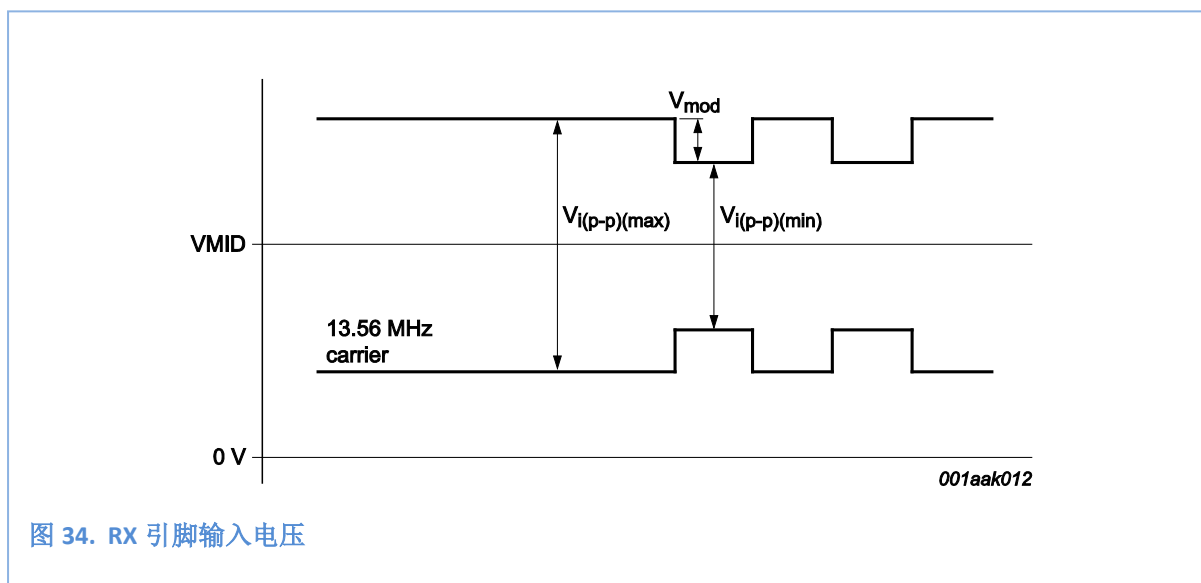


图 34. RX 引脚输入电压

### 13.1 时序特性

表 248. SPI 时序特性

符号	参数	条件	最小	典型	最大	单位
tSCKL	SCK 低电平时间		50	-	-	ns
tSCKH	SCK 高电平时间		50	-	-	ns
t <sub>h</sub> (SCKH-D)	SCK 高电平到数据输入保留时间	SCK 到变动 MOSI	25	-	-	ns
t <sub>su</sub> (D-SCKH)	数据输入到 SCK 高电平建立时间	变动 MOSI 到 SCK	25	-	-	ns
t <sub>h</sub> (SCKL-Q)	SCK 低电平到数据输出保留时间	SCK 到变动 MOSI	-	-	25	ns
t (SCKL-NSSH)	SCK 低电平到 NSS 高电平时间		0	-	-	ns
tNSSH	NSS 高电平时间	通信前	50	-	-	ns

**备注:** 若要在一个数据流中发送多个字节，NSS 信号在发送过程中必须为低电平。若要发送多个数据流，各数据流间的 NSS 信号必须为高电平。

表 249. 高速与超高速模式下的 I2C 总线时序

符号	参数	条件	高速		超高速		单位
			最小	最大	最小	最大	
fSCL	SCL 时钟频率		0	400	0	1000	kHz
t <sub>HD;STA</sub>	停留时间（重复）起始条件	在此周期后，生成第一个时钟脉冲	600	-	260	-	ns
t <sub>SU;STA</sub>	重复起始条件的建立时间		600	-	260	-	ns
t <sub>SU;STO</sub>	停止条件的建立时间		600	-	260	-	ns
t <sub>LOW</sub>	SCL 时钟的低周期		1300	-	500	-	ns

表 249. 高速与超高速模式下的 I2C 总线时序

符号	参数	条件	高速		超高速		单位
			最小	最大	最小	最大	
t <sub>HIGH</sub>	SCL 时钟的高周期		600	-	260	-	ns
t <sub>HD;DAT</sub>	数据保留时间		0	900	-	450	ns
t <sub>SU;DAT</sub>	数据建立时间		100	-	-	-	ns
t <sub>r</sub>	上升时间	SCL 信号	20	300	-	120	ns
t <sub>f</sub>	下降时间	SCL 信号	20	300	-	120	ns
t <sub>r</sub>	上升时间	SDA 与 SCL 信号	20	300	-	120	ns
t <sub>f</sub>	下降时间	SDA 与 SCL 信号	20	300	-	120	ns
t <sub>BUF</sub>	总线在停止与起始条件间的空闲时间		1.3	-	0.5	-	μs

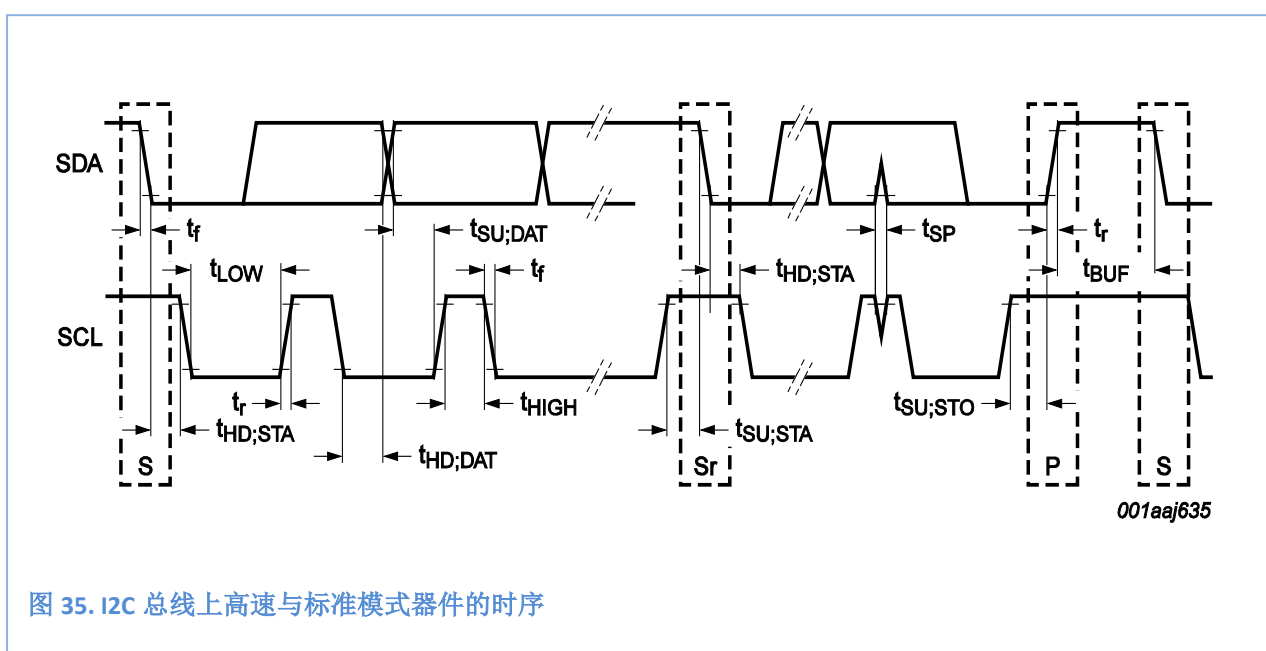


图 35. I2C 总线上高速与标准模式器件的时序

## 14 应用信息

使用互补天线连结 CLRC663 的典型应用图如图 36 所示。

天线调谐与 RF 部件匹配在应用附注 Ref.1 和 Ref.2 中有所描述。

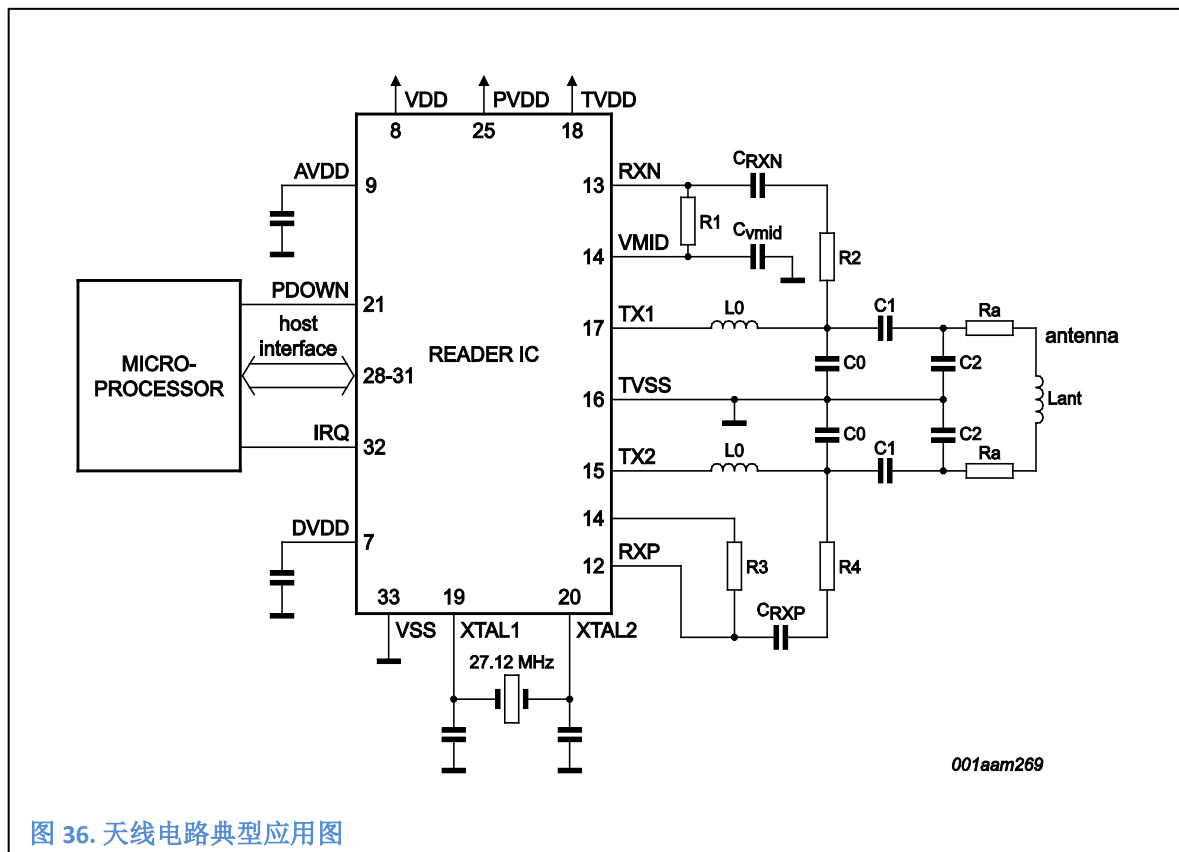


图 36. 天线电路典型应用图

## 14.1 天线设计描述

天线的匹配电路包含一个 EMC 低通滤波器（L0 和 C0），一个匹配电路（C1 和 C2），一个接收电路（R1 = R3, R2 = R4, C3 = C5 和 C4 = C6;），和天线本身。接收电路的元件值需被特别设计以用于与 CLRC663 的操作。直接借用其他产品的专用天线的元件而不进行定制化处理，将导致性能下降。

有关设计与调谐天线的更多信息，请参阅相关应用附注。

## 14.1.1 EMC 低通滤波器

MIFARE 系统在 13.56 MHz 的频率下工作。此频率源自于晶体振荡器，可作为 CLRC663 的时钟并且也是用 13.56 MHz 能量载波驱动天线的的基础。这不仅会产生 13.56 MHz 的发射功率，而且也会发射高阶谐波的功率。

国际电磁兼容性规则将发射功率的振幅定义在一个宽频率的范围。因此，若要符合这些规定，对输出信号的适当滤波是必需的。

**备注：**PCB 布置对滤波器的整体性能有主要的影响。

### 14.1.2 天线匹配

由于给定的低通滤波器会产生阻抗转换，天线线圈必须被匹配到目标阻抗。匹配元件 C1 和 C2 的值可以被估算且必须依天线线圈的设计进行微调。

正确的阻抗匹配对提供最佳性能而言极为重要。需考虑整体品质因素，以确保良好的 ISO/IEC 14443 通信方案。环境影响以及常见的 EMC 设计规则也必须被考虑。

有关详细信息，请参阅恩智浦应用指南。

### 14.1.3 接收电路

通过差分接收的方式（RXP, RXN），CLRC663 的内部接收概念用了卡片响应的副载波负载调制的两个边带。无需外部滤波。

建议使用内部生成的 VMID 电位作为 RX 引脚的输入电位。此 VMID 的 DC 电压电平必须通过 R2 和 R4 被连接到 RX 引脚。为提供一个稳定的 DC 参考电压电容 C4，C6 须被连接到 VMID 和接地引脚之间。请参考图 36。

考虑到 RX 引脚上（AC）电压的限制，AC 分压器 R1+ C3 和 R2 以及 R3+ C5 和 R4 必须被设计。

由于不同天线线圈的设计差异导致匹配阻抗的不同，天线线圈的电压可因天线设计而异。

因此，建议设计接收电路的方式，是使用从上面提到的应用指南中用于 R1= R3，R2= R4，C3 (= C5) 的给定值，并通过在给定的限制范围内改变 R1 (= R3) 的方式来调整 RX-引脚上的电压

**备注：**AC 信号会通过 R2 和 R4 连接到接地引脚（通过 C4 和 C6）。

#### 14.1.4 天线线圈

虽然无法精确计算出天线线圈电感，但可以使用下列公式估算电感。我们建议设计天线线圈的形状为圆形或长方形。

$$L_1 = 2 \times 10^{-7} \times l_1 \times \left( \ln \left( \frac{l_1}{D_1} \right) + K \right) N_1^2 \quad (4)$$

- $l_1$  - 线圈一圈的厘米长度
- $D_1$  - 导线线圈或 PCB 线圈的直径
- $K$  - 天线形状因子（圆形天线  $K=1.07$ ，方形天线  $K=1.47$ ）
- $L_1$  - 电感值 nH
- $N_1$  - 圈数
- $\ln$  - 自然对数函数

在 13.56 MHz 下天线的电感，电阻和电容的实际值取决于各种参数，例如：

- 天线结构（PCB 类型）
- 导体厚度
- 绕组间距
- 屏蔽层
- 附近环境中的金属或铁素体

因此，强烈建议在现实实用环境下测量这些参数，或至少粗略的测量，而且必须对天线进行调谐以保证合理的性能。有关详细信息，请参阅上面提到的应用指南。

15 封装

HVQFN32: 热塑料增强极薄四方扁平封装, 无引线;

32 个引脚; 整体尺寸 5×5×0.85 mm

SOT617-1

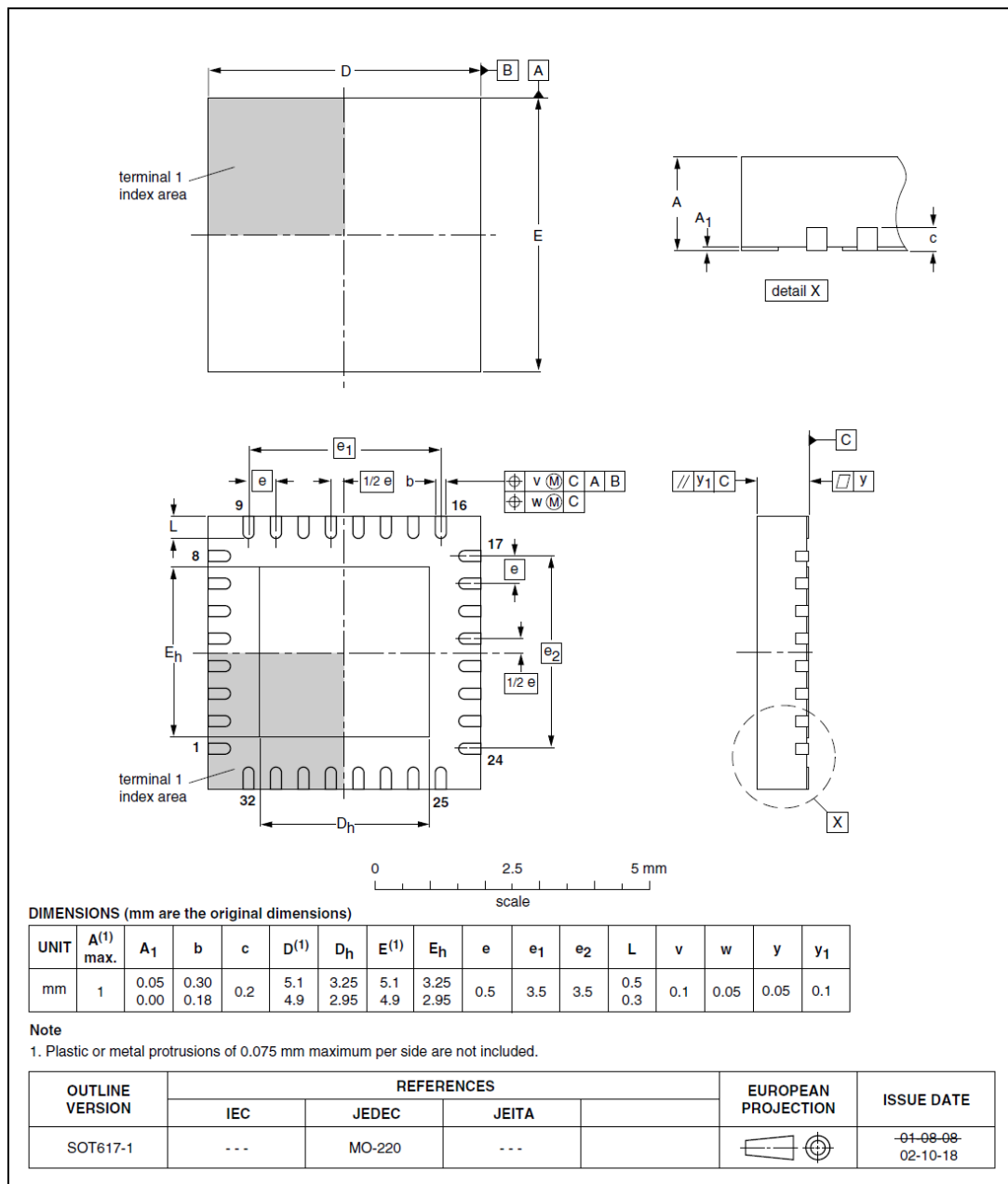


图 37. SOT617-1 (HVQFN32) 封装

封装相关信息请参阅下列网址

<http://www.nxp.com/package/SOT617-1.html>.

## 16 装卸操作须知

芯片已根据 SNW-FQ-225B rev. 04/07/07 (JEDEC J-STD-020C) 完成潮湿敏感度等级 (MSL) 评估。此封装的 MSL 是 2 级, 这意味着 260°C 的惯用软熔焊接温度。

MSL2:

- 需有干燥包。
- 最高环境温度 30°C/85%RH 下 1 年的包装袋外寿命。

MSL1:

- 不需要干燥包。
- 对包装袋外寿命无特别要求。

## 17 包装信息

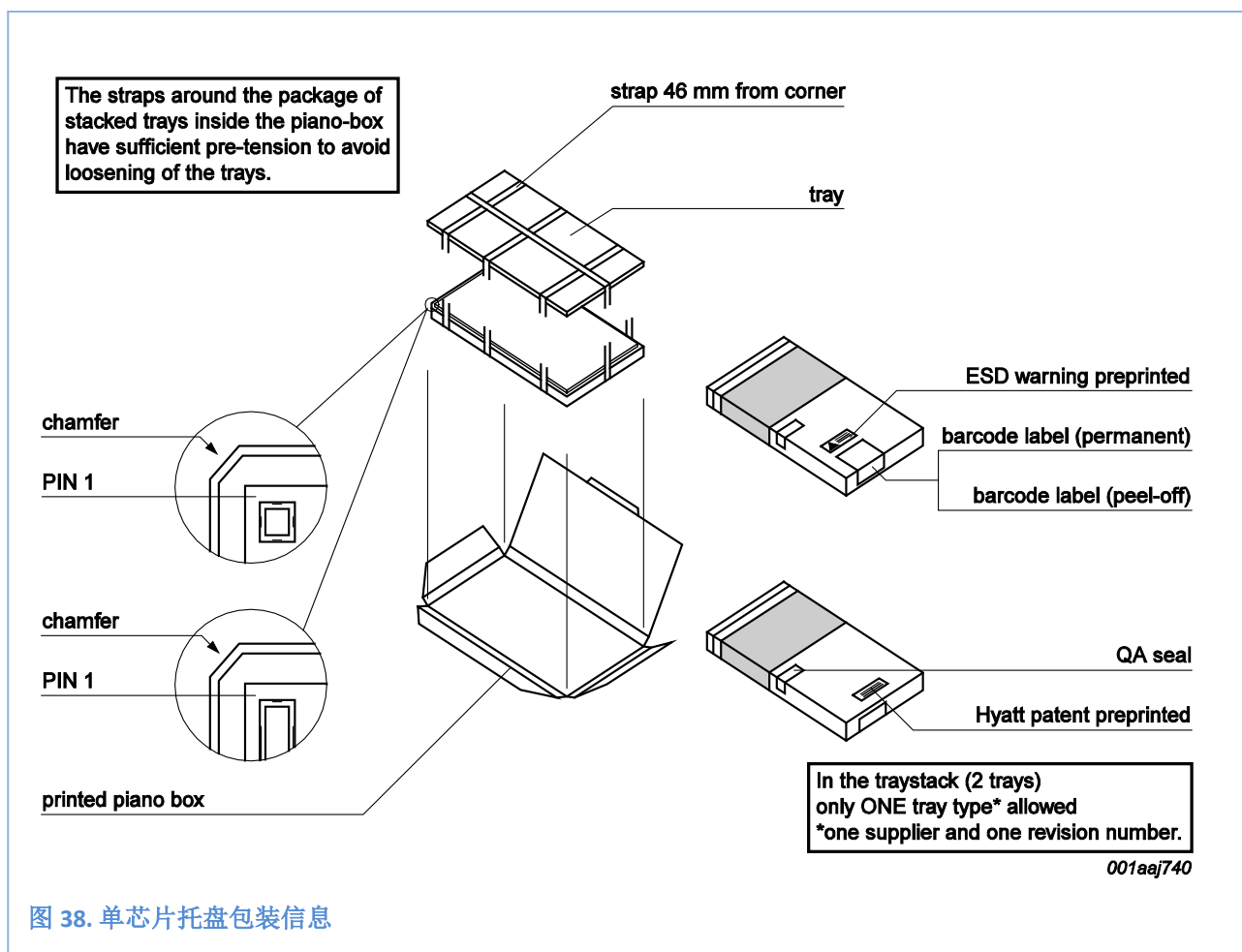


图 38. 单芯片托盘包装信息

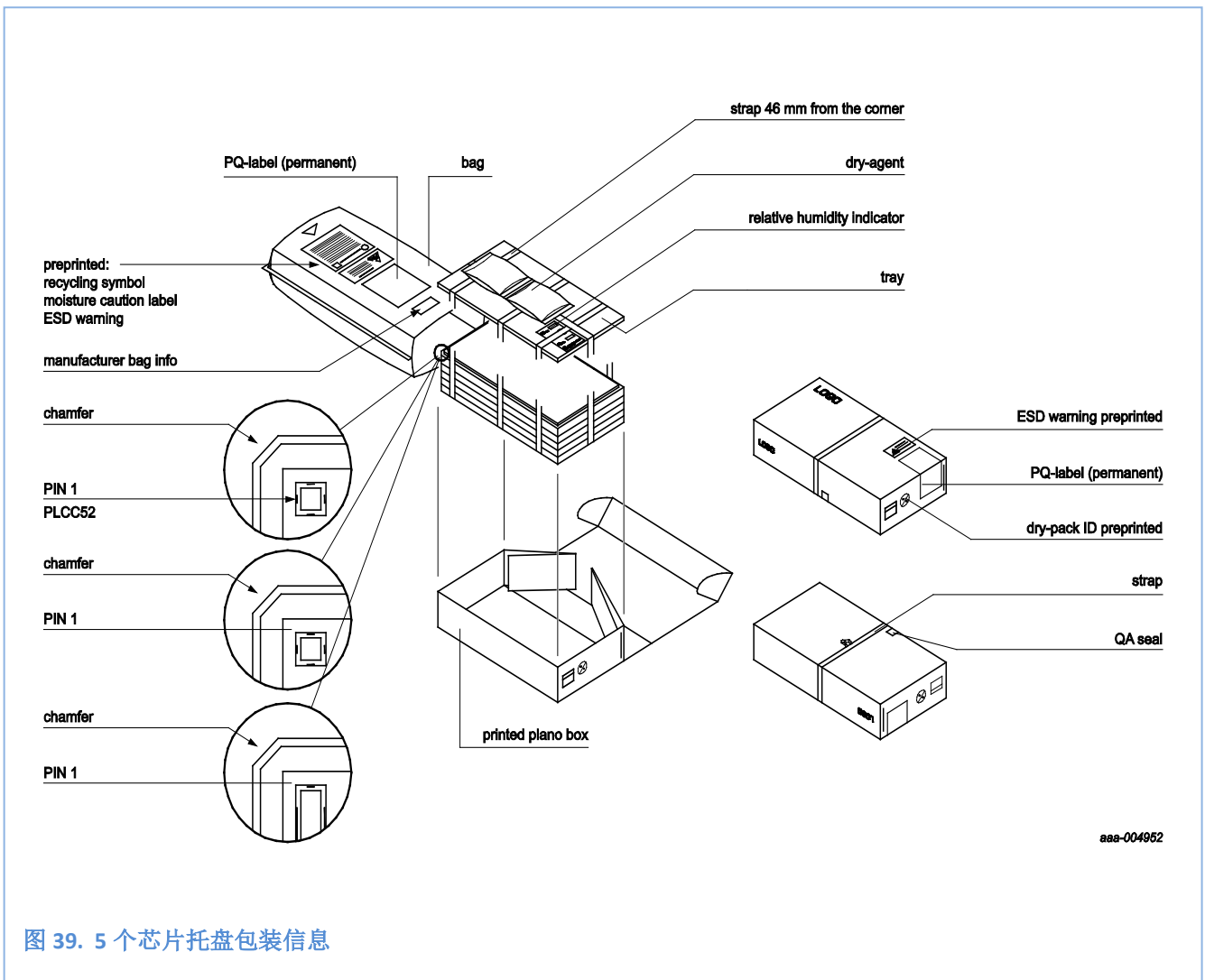


图 39. 5 个芯片托盘包装信息



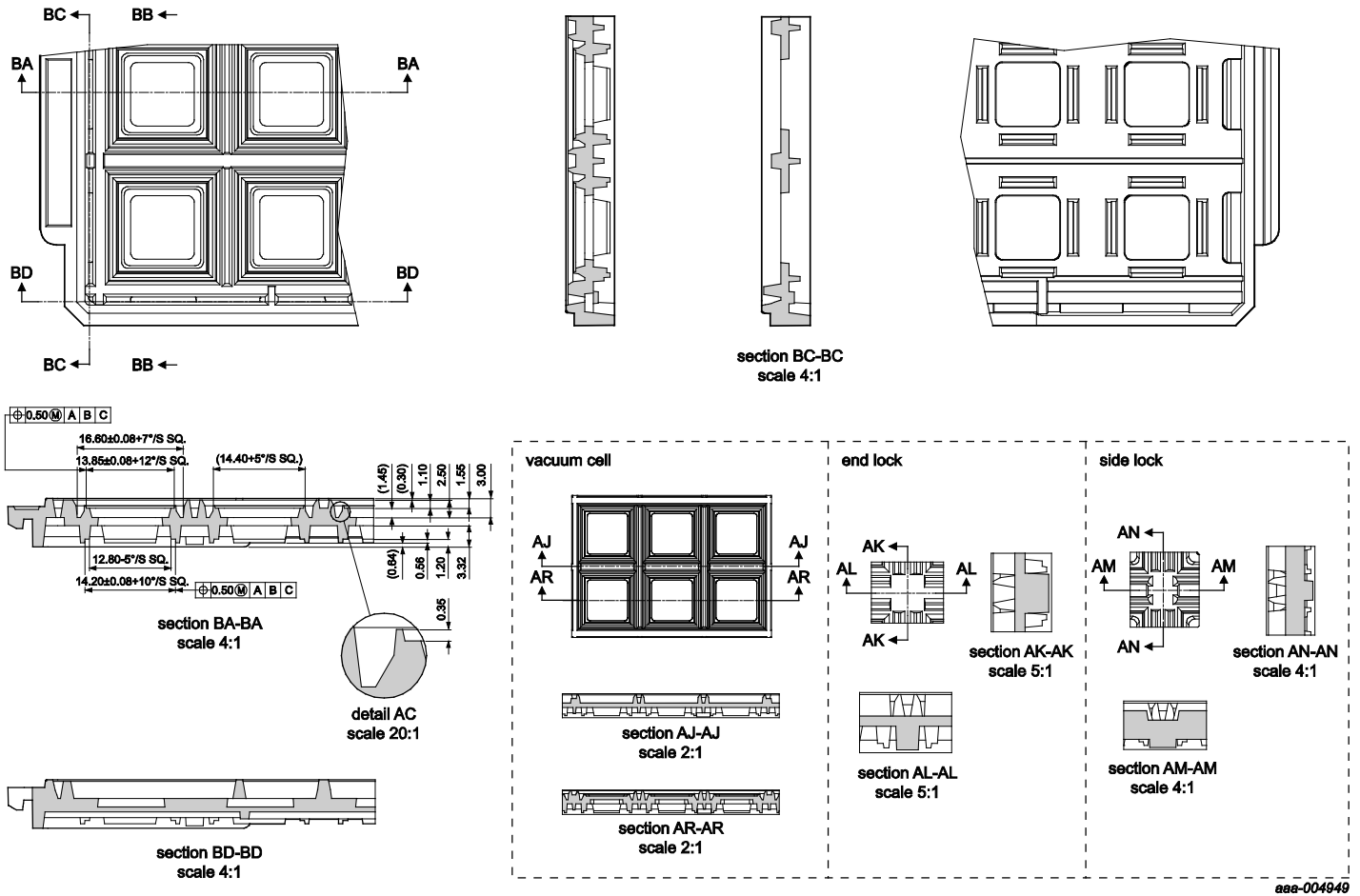


图 40. 托盘详细信息



## 18 缩略词

表 250. 缩略词

首字母缩略词	描述
ADC	模数转换器
BPSK	二进制相移键控
CRC	循环冗余校验
CW	连续波
EGT	额外保护时间
EMC	电磁兼容性
EMD	电磁干扰
EOF	帧结束
EPC	电子产品代码
ETU	基本时间单元
GPIO	通用输入/输出
HBM	人体放电模型
I2C	集成电路间互联
LFO	低频振荡器
LPCD	低功耗卡片检测
LSB	最低有效位
MISO	主入从出
MOSI	主出从入
MSB	最高有效位
NRZ	不归零
NSS	不从属选择
PCD	邻近耦合器件
PLL	锁相环
RZ	归零
RX	接收器
SAM	安全访问模块
SOF	帧起始
SPI	串行外设接口
SW	软件
Timer	时钟周期的时序
TX	发射机
UART	通用异步收发器
UID	唯一标识
VCO	压控振荡器

## 19 参考文献

**[1]** 应用附注 - MFRC52x 芯片读卡机直接匹配天线设计

**[2]** 应用附注 - MIFARE (ISO/IEC 14443A) 13.56 MHz RFID 邻近天线

**[3]** BSDL 档案 - CLRC663边界扫描描述语言档案

## 20 修订记录

表 251. 修订记录

文件编号	发行日期	数据表状态	变更通知	替代版本号
CLRC663 v.3.6	20130910	产品数据表	-	CLRC663 v.3.5
修改:	<ul style="list-style-type: none"> <li>EEPROM 内容更新</li> </ul>			
CLRC663 v.3.5	20120905	产品数据表	-	CLRC663 v.3.4
修改:	<ul style="list-style-type: none"> <li>第 5 章“订购信息”：更新</li> <li>第 17 章：补充图</li> <li>一般更新</li> </ul>			
CLRC663 v.3.4	20120717	产品数据表	-	CLRC663 v.3.3
修改:	表 45 “预定义协议概论 TX <sub>[1]</sub> ” 排印错误订正			
CLRC663 v.3.3	20120402	产品数据表	-	CLRC663 v.3.2
修改:	<ul style="list-style-type: none"> <li>补充 SAM 支持描述</li> <li>一般更新</li> </ul>			
CLRC663 v.3.2	<tbd>	产品数据表	-	CLRC663 v.3.1
修改:	<ul style="list-style-type: none"> <li>一般更新</li> <li>说明书状态改为产品数据表</li> </ul>			
CLRC663 v.3.1	20110926	初步产品数据表	-	CLRC663 v.3.0
修改:	<ul style="list-style-type: none"> <li>说明书状态由数据表转为初步数据表</li> </ul>			
CLRC663 v.3.5	20120905	产品数据表	-	CLRC663 v.2.0
修改:	<ul style="list-style-type: none"> <li>第 5 章“订购信息”：更新</li> <li>第 8 章“功能性描述”，第 9 章“CLRC663 寄存器”：更新</li> <li>第 8.7.2.1 章“产品信息与配置” - 第 0 页：更新</li> <li>第 8.10.2 章“命令设置概观”：更新</li> <li>表 18 “命令概观”，表 57 “FIFO 数据寄存器（address 05h）”，表 156 “RxCtrl 位”：更新</li> <li>表 246 “特性”：更新</li> </ul>			
CLRC663 v.2.0	20110615	初步产品数据表	-	CLRC663 v.1.0
修改:	一般更新			
CLRC663 v.1.0	20110308	客观数据表	-	-

## 21 法律信息

### 21.1 数据表状态

文件状态[1][2]	产品状态[3]	定义
客观[短]数据表	研发	此文件包含了产品开发从客观规范的数据。
初步[短]数据表	合格	此文件包含从初步规格的数据。
产品 [短]数据表	生产	此文件包含产品规格的数据。

[1] 发起或完成设计前，请咨询最近发表的文件。

[2] 术语“短数据表”在段落“定义”中已解释。

[3] 本文件中描述的器件（S）产品状态在文件发布时可能已经改变，且在多台器件的情况下可能有所不同。最新产品状态信息可在互联网上获得的网址为：<http://www.nxp.com>

### 21.2 定义

**初稿** - 本文件仅为初稿版本。内容仍在内部审查，尚未正式批准，可能会有进一步修改或补充。恩智浦半导体对本文信息的准确性或完整性不做任何说明或保证，并对因使用此信息而导致的后果不承担任何责任。

### 21.3 免责声明

**有限担保和责任** — 本文中的信息据信是准确和可靠的。但是，恩智浦半导体对此处所含信息的准确性或完整性不做任何明示或暗示的说明或保证，并对因使用此信息而导致的后果不承担任何责任。

在任何情况下，对于任何间接、意外、惩罚性、特殊或衍生性损害（包括但不限于利润损失、积蓄损失、业务中断、因拆卸或更换任何产品而产生的开支或返工费用），无论此等损害是否基于侵权行为（包括过失）、担保、违约或任何其他法理，恩智浦半导体均不承担任何责任。

对于因任何原因给客户带来的任何损害，恩智浦半导体对本文所述产品的总计责任和累积责任仅限于恩智浦商业销售条款和条件所规定的范围。

**修改权利** — 恩智浦半导体保留对本文所发布的信息（包括但不限于规格和产品说明）随时进行修改的权利，恕不另行通知。本文件将取代并替换之前就此提供的所有信息。

**适宜使用** — 恩智浦半导体产品并非设计、授权或担保适合用于生命保障、生命关键或安全关键系统或设备，军事、飞机、太空或生命保障设备，亦非设计、授权或担保适合用于在恩智浦半导体产品失效或故障时会导致人员受伤、死亡或严重财产或环境损害的应用。恩智浦半导体对在此类设备或应用中加入和/或使用恩智浦半导体产品不承担任何责任，客户需自行承担因加入和/或使用恩智浦半导体产品而带来的风险。

**应用** — 本文件所述任何产品的应用仅限于例证目的。此类应用如不经进一步测试或修改用于特定用途，恩智浦半导体对其适用性不做任何说明或保证。客户负责自行利用恩智浦半导体的产品进行设计 and 应用，对于应用或客户产品设计，恩智浦半导体无义务提供任何协助。客户须自行负责检验恩智浦半导体的产品是否适用于其规划的应用和产品，以及是否适用于其第三方客户的规划应用和使用。客户须提供适当的设计和操作系统安全保障措施，以降低与应用和产品相关的风险。

对于因客户应用或产品的任何缺陷或故障，或者客户的第三方客户的应用或使用导致的任何故障、损害、开支或问题，恩智浦半导体均不承担任何责任。客户负责对自己基于恩智浦半导体的产品的应用和产品进行所有必要测试，以避免这些应用和产品或者客户的第三方客户的应用或使用存在任何缺陷。恩智浦不承担与此相关的任何责任。

**出口管制** — 本文件以及此处所描述的产品可能受出口法规的管制。出口可能需要事先经国家主管部门批准。

## 21.4 授权

### 购买具有ISO/IEC 14443类别B功能的恩智浦半导体芯片



此恩智浦半导体芯片内置ISO/IEC14443 B型软件并根据Innovatron的非接触式卡的专利许可授权法授权给ISO/IEC14443 B. 该许可证包括在系统和/或最终用户设备的芯片使用权

**RATP/Innovatron**  
科技

### 购买具有恩智浦科技的恩智浦芯片

购买符合近场通信（NFC）标准ISO / IEC 18092和ISO / IEC21481其中之一恩智浦半导体芯片并不转让任何默示授权于任何侵犯这些标准专利权的实施。

## 21.5 商标

注意：所有引用的品牌、产品名称、服务名称以及商标均为其各自所有者的资产。

I<sup>2</sup>C-bus - 标志是 NXP BV 公司的商标

MIFARE - NXP BV 公司的商标

MIFAREUltralight - NXP BV 公司的商标

DESFire - NXP BV 公司的商标

MIFARE Plus - NXP BV 公司的商标

ICODE 和 I-CODE - NXP BV 公司的商标

## 22 联络信息

欲了解更多信息，请访问：<http://www.nxp.com>

业务处地址，请发送电子邮件至：[salesaddresses@nxp.com](mailto:salesaddresses@nxp.com)

## 23 内容

1	序言.....	2
2	概要描述.....	2
3	特性和优点.....	3
4	快速参考数据.....	4
5	命令信息.....	4
6	功能框图.....	5
7	引脚信息.....	5
7.1	引脚说明.....	6
8	功能说明.....	7
8.1	中断控制器.....	8
8.2	定时器模式.....	10
8.2.1	定时器模式.....	11
8.2.1.1	超时与看门狗定时器.....	11
8.2.1.2	唤醒定时器.....	11
8.2.1.3	秒表.....	11
8.2.1.4	可编程单次触发定时器.....	11
8.2.1.5	定期触发.....	11
8.3	非接触式接口单元.....	12
8.3.1	ISO/IEC 14443A/MIFARE 功能.....	12
8.3.2	ISO/IEC 14443B 功能.....	14
8.3.3	FeliCa 功能.....	15
8.3.3.1	FeliCa 组帧与编码.....	15
8.3.4	ISO/IEC 15693 功能.....	15
8.3.5	EPC-UID/UID-OTP 功能.....	17
8.3.6	ISO/IEC 18000-3 mode3/ EPC Class-1 HF 功能.....	17
8.3.7	ISO/IEC 18092 模式.....	17
8.3.7.1	被动通信模式.....	18
8.3.7.2	ISO/IEC 18092 组帧和编码.....	19
8.3.7.3	ISO/IEC 18092 协议支持.....	19
8.3.8	EPC Class-1 HF 和 ICODE.....	19
8.3.8.1	数据编码 ICODE.....	19
8.4	主机接口.....	19
8.4.1	主机接口配置.....	19
8.4.2	SPI 接口.....	20
8.4.2.1	简介.....	20
8.4.2.2	读取数据.....	20
8.4.2.3	写入数据.....	21
8.4.2.4	地址字节.....	21
8.4.2.5	SPI 时序规范.....	21
8.4.3	RS232 接口.....	22
8.4.3.1	传输速度的选择.....	22
8.4.3.2	组帧.....	23
8.4.4	I2C 总线接口.....	25
8.4.4.1	概论.....	25
8.4.4.2	I2C 数据的有效性.....	25
8.4.4.3	I2C 起始 (START) 和停止 (STOP) 条件.....	26
8.4.4.4	I2C 字节格式.....	26
8.4.4.5	I2C 应答响应.....	27
8.4.4.6	I2C 七位寻址.....	27
8.4.4.7	I2C 寄存器的写入.....	28



8.4.4.8	I2C 寄存器读取	28
8.4.4.9	I2CL 总线接口	29
8.4.5	SAM 接口 I2C	30
8.4.5.1	SAM 功能	30
8.4.5.2	SAM 连接	31
8.4.6	边界扫描接口	31
8.4.6.1	接口信号	32
8.4.6.2	测试时钟 (TCK)	32
8.4.6.3	测试模式选择 (TMS)	32
8.4.6.4	测试数据输入 (TDI)	32
8.4.6.5	测试数据输出 (TDO)	32
8.4.6.6	数据寄存器	33
8.4.6.7	边界扫描储存单元	33
8.4.6.8	边界扫描路径	33
8.4.6.9	边界扫描描述语言 (BSDL)	34
8.4.6.10	非 IEEE 1149.1 命令	35
8.5	缓冲器	36
8.5.1	概论	36
8.5.2	访问 FIFO 缓冲器	36
8.5.3	控制 FIFO 缓冲器	36
8.5.4	FIFO 缓冲器状态信息	36
8.6	模拟接口和非接触式 UART	38
8.6.1	概论	38
8.6.2	TX 发射器	38
8.6.2.1	过冲保护	40
8.6.2.2	位发生器	41
8.6.3	接收器电路	41
8.6.3.1	概论	41
8.6.3.2	框图	42
8.6.4	有源天线的概念	43
8.6.5	符号产生器	46
8.7	存储器	46
8.7.1	存储器概述	46
8.7.2	EEPROM 存储器组织	47
8.7.2.1	产品信息和配置 - 页面 0	48
8.7.3	EEPROM 初始化内容 LoadProtocol	50
8.8	时钟生成	52
8.8.1	晶振	52
8.8.2	IntegerN PLL 时钟线	52
8.8.3	低频振荡器 (LPO)	53
8.9	电源管理	54
8.9.1	电源概念	54
8.9.2	节能模式	54
8.9.2.1	掉电模式	54
8.9.2.2	待机模式	54
8.9.2.3	调制解调器断模式	54
8.9.3	低功耗卡片检测 (LPCD)	55
8.9.4	复位和启动时间	55
8.10	命令集	56
8.10.1	概论	56
8.10.2	命令集概述	56
8.10.3	命令功能	57
8.10.3.1	空闲命令	57

8.10.3.2	LPCD 命令 .....	57
8.10.3.3	加载密钥命令 .....	57
8.10.3.4	MFAuthent 命令 .....	57
8.10.3.5	AckReq 命令 .....	58
8.10.3.6	接收命令 .....	58
8.10.3.7	传送命令 .....	59
8.10.3.8	收发命令 .....	59
8.10.3.9	WriteE2 命令 .....	59
8.10.3.10	WriteE2Page 命令 .....	59
8.10.3.11	ReadE2 命令 .....	59
8.10.3.12	LoadReg 命令 .....	60
8.10.3.13	LoadProtocol 命令 .....	60
8.10.3.14	LoadKeyE2 命令 .....	61
8.10.3.15	StoreKeyE2 命令 .....	61
8.10.3.16	GetRNR 命令 .....	62
8.10.3.17	SoftReset 命令 .....	62
9	CLRC663 寄存器 .....	63
9.1	寄存器位行为 .....	63
9.2	命令配置 .....	66
9.2.1	命令 .....	66
9.3	SAM 的配置寄存器 .....	66
9.3.1	HostCtrl .....	66
9.4	FIFO 配置寄存器 .....	67
9.4.1	FIFO 控制器 (FIFOControl) .....	67
9.4.2	水位 (WaterLevel) .....	67
9.4.3	FIFO 长度 (FIFOLength) .....	69
9.4.4	FIFOData .....	69
9.5	中断配置寄存器 .....	69
9.5.1	IRQ0 寄存器 .....	70
9.5.2	IRQ1 寄存器 .....	70
9.5.3	IRQ0En 寄存器 .....	71
9.5.4	IRQ1En .....	71
9.6	非接触接口配置寄存器 .....	72
9.6.1	Error .....	72
9.6.2	Status .....	73
9.6.3	RxBitCtrl .....	74
9.6.4	RxColl .....	76
9.7	定时器配置寄存器 .....	77
9.7.1	Tcontrol .....	77
9.7.2	T0Control .....	77
9.7.2.1	T0ReloadHi .....	78
9.7.2.2	T0ReloadLo .....	78
9.7.2.3	T0CounterValHi .....	79
9.7.2.4	T0CounterValLo .....	79
9.7.2.5	T1Control .....	79
9.7.2.6	T1ReloadHi .....	80
9.7.2.7	T1ReloadLo .....	80
9.7.2.8	T1CounterValHi .....	81
9.7.2.9	T1CounterValLo .....	81
9.7.2.10	T2Control .....	81
9.7.2.11	T2ReloadHi .....	82
9.7.2.12	T2ReloadLo .....	82
9.7.2.13	T2CounterValHi .....	83

9.7.2.14	T2CounterValLoReg .....	83
9.7.2.15	T3Control .....	83
9.7.2.16	T3ReloadHi .....	84
9.7.2.17	T3ReloadLo .....	84
9.7.2.18	T3CounterValHi .....	85
9.7.2.19	T3CounterValLo .....	85
9.7.2.20	T4Control .....	85
9.7.2.21	T4ReloadHi .....	86
9.7.2.22	T4ReloadLo .....	86
9.7.2.23	T4CounterValHi .....	87
9.7.2.24	T4CounterValLo .....	87
9.8	发射机配置寄存器 .....	87
9.8.1	DrvMode .....	87
9.8.2	TxAmp .....	88
9.8.3	DrvCon .....	88
9.8.4	Txl .....	89
9.9	CRC 配置寄存器 .....	89
9.9.1	TxCrcPreset .....	89
9.9.2	RxCrcPreset .....	90
9.10	发送器配置寄存器 .....	91
9.10.1	TxDataNum .....	91
9.10.2	TxModWidth .....	92
9.10.3	TxSym10BurstLen .....	93
9.10.4	TxWaitCtrl .....	93
9.10.5	TxWaitLo .....	95
9.11	FrameCon .....	95
9.12	接收器配置寄存器 .....	96
9.12.1	RxSofD .....	96
9.12.2	RxCtrl .....	96
9.12.3	RxWait .....	97
9.12.4	RxThreshold .....	97
9.12.5	Rcv .....	98
9.12.6	RxAna .....	98
9.13	时钟配置 .....	99
9.13.1	SerialSpeed .....	99
9.13.2	LFO_Trimm .....	100
9.13.3	PLL_Ctrl 寄存器 .....	101
9.13.4	PLL_DivOut .....	101
9.14	低功耗卡片检测配置寄存器 .....	102
9.14.1	LPCD_QMin .....	102
9.14.2	LPCD_QMax .....	103
9.14.3	LPCD_I_Min .....	103
9.14.4	LPCD_I_Result .....	103
9.14.5	LPCD_Q_Result .....	104
9.15	引脚功能 .....	104
9.15.1	PadEn .....	104
9.15.2	PadOut .....	105
9.15.3	PadIn .....	105
9.15.4	SigOut .....	105
9.16	发射机配置寄存器 .....	106
9.16.1	TxBitMod .....	106
9.16.2	TxDataCon .....	107
9.16.3	TxDataMod .....	107

9.16.4	TxSymFreq .....	108
9.16.5	TxSym0 .....	109
9.16.6	TxSym1 .....	110
9.16.7	TxSym2 .....	110
9.16.8	TxSym3 .....	110
9.16.9	TxSym10Len .....	111
9.16.10	TxSym32Len .....	111
9.16.11	TxSym10BurstCtrl .....	111
9.16.12	TxSym10Mod .....	112
9.16.13	TxSym32Mod .....	113
9.17	接收器配置 .....	113
9.17.1	RxBitMod .....	113
9.17.2	RxEofSym .....	114
9.17.3	RxSyncValH .....	115
9.17.4	RxSyncValL .....	115
9.17.5	RxSyncMod .....	115
9.17.6	RxMod .....	116
9.17.7	RxCorr .....	116
9.17.8	FabCal .....	117
9.18	寄存器版本 .....	117
9.18.1	版本 .....	117
10	极限值 .....	118
11	建议操作条件 .....	118
12	热特性 .....	118
13	特性 .....	118
13.1	时序特性 .....	121
14	应用信息 .....	123
14.1	天线设计描述 .....	123
14.1.1	EMC 低通滤波器 .....	123
14.1.2	天线匹配 .....	124
14.1.3	接收电路 .....	124
14.1.4	天线线圈 .....	125
15	封装 .....	126
16	装卸操作须知 .....	127
17	包装信息 .....	127
18	缩略词 .....	131
19	参考文献 .....	132
20	修订记录 .....	133
21	法律信息 .....	134
21.1	数据表状态 .....	134
21.2	定义 .....	134
21.3	免责声明 .....	134
21.4	授权 .....	135
21.5	商标 .....	135
22	联络信息 .....	135
23	内容 .....	136