

Союз Советских
Социалистических
Республик



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ИПКР
(11) 744968

Ильинский

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 18.03.76 (21) 2334596/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.06.80. Бюллетень № 24

Дата опубликования описания 03.07.80

(51) М. Кл.
H 03 K 13/17

(53) УДК 681.325
(088.8)

(72) Автор
изобретения

В. М. Оранжеев

(71) Заявитель

(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ С КОРРЕКЦИЕЙ
ДИНАМИЧЕСКИХ ПОГРЕШНОСТЕЙ

1
Изобретение относится к импульсной технике и может использоваться в аналого-цифровых преобразователях, предназначенных для измерения изменяющихся напряжений, обеспечивая при простой технической реализации высокое быстродействие.

Известен аналого-цифровой преобразователь с проведением коррекции в процессе поразрядного уравнивания, содержащий два сравнивающих устройства, два преоб- 5
разователя кода в напряжение, регистр триггеров, логические схемы, тактовый генератор, распределитель импульсов, в котором один вход второго сравнивающего устройства подключен к источнику измеряемого сигнала, второй вход соединен с 10
схемой суммирования напряжений преобразователей кодов в напряжения, выходы сравнивающих устройств соединены с входами дополнительных схем совпадения, к 15
другим входам которых подключены выходы распределителя тактовых импульсов, одни входы дополнительных схем совпадения соединены с выходами сложения, а другие -

2
с схемами вычитания "единицы", включенными в младшие разряды регистра триггеров; управляющие входы второго преобразователя кода в напряжение соответственно соединены с шинами распределителя тактовых импульсов младших разрядов преобразователя [1].

Однако импульсы с выходов схем совпадения одновременно поступают на установочный вход триггеров младших разрядов и в цепь переноса, в связи с чем нормальное функционирование регистра возможно только при включении в цепь переноса дополнительных схем задержек, что приводит к увеличению времени преобразования. Кроме того, область применения таких устройств ограничена невозрастающими напряжениями.

Наиболее близким по технической сущности к предлагаемому является устройство, содержащее блоки сравнения, преобразователь кодов в напряжение, блок контрольных напряжений, блоки суммирования напряжений, логические элементы, ге-

нератор тактовых импульсов, распределитель тактовых импульсов, дополнительный преобразователь кода в напряжение, аналоговый выход которого подключен к блоку суммирования компенсирующих напряжений, а цифровой выход соединен с входом цифрового сумматора, на другой вход которого подключен цифровой выход основного преобразователя кода в напряжение [2].

В этом устройстве быстроедействие определяется временем преобразования основного преобразователя код-напряжение (ПКН) и временем суммирования цифрового сумматора. Преобразователь может работать как в области возрастающих, так и в области убывающих измеряемых напряжений. Увеличение быстрогодействия и расширение области применения достигается введением в устройство дополнительных узлов: блока контрольных напряжений, схемы сравнения, аналоговой схемы суммирования, цифрового сумматора.

Усложнение схемы для обеспечения повышенного быстрогодействия является главным недостатком этого устройства.

Целью изобретения является упрощение работы устройства при сохранении высокого быстрогодействия.

Цель достигается тем, что в аналого-цифровой преобразователь с коррекцией динамических погрешностей, содержащий первый блок сравнения, один вход которого соединен с шиной входного сигнала и первыми входами второго и третьего блоков сравнения, второй вход первого блока сравнения соединен с первыми входами блоков суммирования и вычитания напряжений и с выходом основного ПКН, второй вход второго блока сравнения соединен с выходом блока суммирования, а второй вход третьего блока сравнения соединен с выходом блока вычитания напряжений, вторые входы блоков суммирования и вычитания соединены с выходом вспомогательного ПКН, выход генератора тактовых импульсов соединен с входом распределителя тактовых импульсов (РТИ), введены инверторы, регистр, элементы И, причем вход первого инвертора соединен с выходом второго блока сравнения, а его выход соединен с первыми входами первого, второго и третьего элементов И, второй вход первого элемента И соединен с первыми входами четвертого и восьмого элементов И, с первым входом вспомогательного ПКН, с единичным входом четвертого разряда регистра и с третьим выходом РТИ, второй вход второго элемента И соединен с первыми входами пя-

того и девятого элементов И, с вторым входом вспомогательного ПКН, с четвертым выходом РТИ и с единичным входом пятого разряда регистра, второй вход третьего элемента И соединен с первым входом десятого элемента И и с пятым выходом РТИ, выход третьего блока сравнения соединен с входом второго инвертора и с вторыми входами четвертого и пятого элементов И, выход второго инвертора соединен с вторыми входами восьмого и девятого элементов И, выход первого блока сравнения соединен с первыми входами шестого и седьмого элементов И, с третьими входами восьмого и девятого элементов И и с вторым входом десятого элемента И, третий вход вспомогательного ПКН соединен с единичным входом первого разряда регистра и с нулевым выходом РТИ, второй вход шестого элемента И соединен с первым выходом РТИ и с единичным входом второго разряда регистра, второй вход седьмого элемента И соединен с вторым выходом РТИ и с единичным входом третьего разряда регистра, нулевой вход первого разряда регистра соединен с выходом шестого элемента И, нулевой вход второго разряда регистра соединен с выходом седьмого элемента И, счетный вход вычитания второго разряда регистра соединен с выходом четвертого элемента И, счетный вход сложения третьего разряда регистра соединен с выходом первого элемента И, а счетный вход вычитания — с выходом пятого элемента И, нулевой вход третьего разряда регистра соединен с выходом восьмого элемента И, счетный вход сложения четвертого разряда регистра соединен с выходом второго элемента И, нулевой вход четвертого разряда регистра соединен с выходом девятого элемента И, счетный вход пятого разряда регистра соединен с выходом третьего элемента И, нулевой вход пятого разряда регистра соединен с выходом десятого элемента И, с первого по пятый выходы регистра соединены соответственно с входами основного ПКН.

На чертеже представлена структурная электрическая схема предлагаемого преобразователя.

Преобразователь содержит блоки сравнения 1, 2, 3, аналоговые блоки суммирования 4 и вычитания 5 напряжений, вспомогательный 6 и основной 7 преобразователи код-напряжение, первый инвертор 8 и второй инвертор 9, генератор тактовых импульсов 10, распределитель тактовых

импульсов 11, регистр 12, элементы И 13-22.

Преобразователь работает следующим образом.

Импульсом X_0 устанавливается начальное состояние, при этом включаются старшие разряды преобразователей кодов 7 и 6.

Затем с шин распределителя 11 последовательно выдвигаются импульсы X_1 и X_2 и производится уравнивание старшими разрядами ПКН 7 как в известных преобразователях.

Блоки сравнения 1, 2, 3 вырабатывают сигнал "1", если $U_x < U_0$, $U_x < U_0 + U_k$, $U_x < U_0 - U_k$; "0", если $U_x > U_0$, $U_x > U_0 + U_k$, $U_x > U_0 - U_k$ соответственно.

Будем считать первыми старшие разряды в преобразователях 6, 7 и регистре 12, тогда младший разряд в регистре 12 и преобразователе 7 будет пятым, а в преобразователе 6 - третьим.

Импульс X_3 устанавливает в единичное состояние четвертый разряд регистра 12 и может пройти на один из трех входов регистра: установку нуля третьего разряда, счетный вход сложения третьего разряда, либо счетный вход вычитания второго разряда.

При $U_0 < U_x < U_0 + U_k$ импульс X_3 проходит лишь в цепь установки единицы четвертого разряда, число в регистре увеличивается на 2 единицы младшего разряда, как и в обычном ПКН поразрядного сравнения.

При $U_0 - U_k < U_k < U_0$ импульс X_3 кроме установки в единицу четвертого разряда проходит через элемент 18 в цепь установки нулевого состояния третьего разряда. В результате число в регистре уменьшается на 2 единицы, как и в обычном ПКН поразрядного сравнения.

При $U_x > U_0 + U_k$ импульс X_3 кроме установки в единицу четвертого разряда (при этом число в регистре увеличивается на +2 единицы) через элемент 16 проходит на счетный вход сложения третьего разряда, чем увеличивает число в регистре на +4 единицы. В результате число в регистре увеличивается не на +2 единицы, как в обычном ПКН поразрядного сравнения, а на +2 +4 = +6. Таким образом происходит коррекция процесса преобразования на +4 единицы.

При $U_x < U_0 - U_k$ импульс X_3 кроме установки в единицу четвертого разряда (при этом число в регистре увеличивается на +2 единицы), через элемент 14 проходит на счетный вход вычитания второго разряда, чем уменьшается число

в регистре на -8 единиц. В результате число в регистре уменьшится +2 - 8 = -6 единиц. Таким образом происходит коррекция процесса преобразования на -4 единицы.

Аналогично импульсом X_4 может быть проведена коррекция на ±2 единицы мл. разряда. Импульсом X_5 число в регистре может быть изменено на единицу в сторону увеличения через элемент 21 и в сторону уменьшения через элемент 22.

Использование предлагаемого устройства позволит при высоком быстродействии упростить известное устройство, исключив из него наиболее сложные узлы, такие, как цифровой сумматор, аналоговый сумматор, блок контрольных напряжений.

Ф о р м у л а и з о б р е т е н и я

Аналого-цифровой преобразователь с коррекцией динамических погрешностей, содержащий первый блок сравнения, один вход которого соединен с шиной входного сигнала и первыми входами второго и третьего блоков сравнения, второй вход первого блока сравнения соединен с первыми входами блоков суммирования и вычитания напряжений и с выходом основного преобразователя код-напряжение, второй вход второго блока сравнения соединен с выходом блока суммирования, а второй вход третьего блока сравнения соединен с выходом блока вычитания напряжений, вторые входы блоков суммирования и вычитания соединены с выходом вспомогательного преобразователя код-напряжение, выход генератора тактовых импульсов соединен со входом распределителя тактовых импульсов, о т л и ч а ю щ и й с я тем, что, с целью упрощения работы устройства при сохранении высокого быстродействия, в него дополнительно введены инверторы, регистр, элементы И, причем вход первого инвертора соединен с выходом второго блока сравнения, а его выход соединен с первыми входами первого, второго и третьего элементов И, второй вход первого элемента И соединен с первыми входами четвертого и восьмого элементов И, с первым входом вспомогательного преобразователя код-напряжение, с единичным входом четвертого разряда регистра и с третьим выходом распределителя тактовых импульсов, второй вход второго элемента И соединен с первыми входами пятого и девятого элементов И, с вторым входом вспомогательного преобразователя код-

напряжение, с четвертым выходом распределителя тактовых импульсов и с единичным входом пятого разряда регистра, второй вход третьего элемента И соединен с первым входом десятого элемента И и с пятым выходом распределителя тактовых импульсов, выход третьего блока сравнения соединен с входом второго инвертора и с вторыми входами четвертого и пятого элементов И, выход второго инвертора соединен с вторыми входами восьмого и девятого элементов И, выход первого блока сравнения соединен с первыми входами шестого и седьмого элементов И, с третьими входами восьмого и девятого элементов И и с вторым входом десятого элемента И, третий вход вспомогательного преобразователя код-напряжение соединен с единичным входом первого разряда регистра и с нулевым выходом распределителя тактовых импульсов, второй вход шестого элемента И соединен с первым выходом распределителя тактовых импульсов и с единичным входом второго разряда регистра, второй вход седьмого элемента И соединен со вторым выходом распределителя тактовых импульсов и с единичным входом третьего разряда регистра, нулевой вход первого разряда регистра соединен с вы-

ходом шестого элемента И, нулевой вход второго разряда регистра соединен с выходом седьмого элемента И, счетный вход вычитания второго разряда регистра соединен с выходом четвертого элемента И, счетный вход сложения третьего разряда регистра соединен с выходом первого элемента И, а счетный вход вычитания - с выходом пятого элемента И, нулевой вход третьего разряда регистра соединен с выходом восьмого элемента И, счетный вход сложения четвертого разряда регистра соединен с выходом второго элемента И, нулевой вход четвертого разряда регистра соединен с выходом девятого элемента И, счетный вход пятого разряда регистра соединен с выходом третьего элемента И, нулевой вход пятого разряда регистра соединен с выходом десятого элемента И, с первого по пятый выходы регистра соединены соответственно с входами основного преобразователя код-напряжение.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 324705, кл. Н 03 К 13/17, 25.11.12.
2. Авторское свидетельство СССР № 439913, кл. Н 03 К 13/17, 21.03.75.

