

Союз Советских  
Социалистических  
Республик



Государственный комитет  
Совета Министров СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 437217

(61) Зависимое от авт. свидетельства ---

(32) Заявлено 19.04.72 (21) 1774688/26-9

с присоединением заявки № ---

(32) Приоритет ---

Опубликовано 25.07.74. Бюллетень № 27

Дата опубликования описания 30.12.74

(51) М. Кл. Н 03k 13/17

(53) УДК 681.325(088.8)

(72) Автор  
изобретения

А. И. Фендриков

(71) Заявитель

Опытно-конструкторское бюро геофизического приборостроения

## (51) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ С ЦИФРОВОЙ КОРРЕКЦИЕЙ НУЛЯ

1

Изобретение относится к вычислительной технике и может быть использовано в устройствах, в которых осуществляется преобразование аналоговых сигналов в цифровую форму.

Известно устройство для преобразования аналог-код с цифровой автокоррекцией нуля, содержащее входной коммутатор, схему сравнения, первый вход которой подключен к источнику преобразуемого напряжения, а второй к выходу декодирующего преобразователя, входы которого через блок вентилей подключены ко входам первого регистра.

Выход первого регистра соединен с первым выходом сумматора, второй выход которого соединен с выходом второго регистра, а выход соединен со входом второго регистра, управляющие входы второго регистра подключены к выходам блока формирования кода, первый вход которого соединен с третьим выходом блока программы и синхронизации, первый вход которого соединен с управляющими входами блока вентилей и первого регистра.

Однако известный преобразователь имеет недостаточную точность, обусловленную применением одной схемы сравнения и входного коммутатора в условиях повышенных температурных полей.

Целью изобретения является повышение точности преобразователя.

2

Для этого в преобразователь введены дополнительная схема сравнения, второй вход которой подключен к источнику преобразуемого напряжения, а первый --- к декодирующему преобразователю, схема «ИЛИ», первый вход которой соединен с выходом схемы сравнения, а второй --- с выходом дополнительной схемы сравнения, а выход соединен со вторым входом блока формирования кода, блок элементов коммутации, входы которого соединены с выходами второго регистра, управляющий вход соединен со вторым выходом блока программы и синхронизации, а выходы подключены ко входам декодирующего преобразователя, и делитель выходного кода, вход которого подключен к сумматору.

На чертеже приведена функциональная блок-схема преобразователя.

Аналого-цифровой преобразователь с цифровой коррекцией нуля содержит блок программы и синхронизации 1, блок формирования кода 2, на первый вход которого поступают сигналы управления от блока 1, а на второй --- через схему «ИЛИ» 3 сигналы с выходов основной и дополнительной схем сравнений 4, 5. Выходы блока формирования кода 2 присоединены ко второму регистру Декодирующий преобразователь 7 каждый своим входом подсоединен через элемент коммутации 8 к прямому либо инверсному вы-



соответствующего разряда регистра 6. Кроме того, каждый вход декодирующего преобразователя 7 соединен через блок вентиля 9 с соответствующим входом первого регистра памяти 10. Управление работой элементами коммутации 8, блока вентиля 9 и регистра 10 производится сигналами соответственно со второго и первого выходов блока 1. Выход декодирующего преобразователя 7 соединен с первым входом схемы сравнения 5 и вторым входом схемы сравнения 4. Второй и первый входы схем сравнения 5 и 4 подключены к источнику преобразуемого напряжения  $U_n$ .

Такое подключение схем сравнения обеспечивает схеме 4 выработку управляющего сигнала в течение первого цикла, а схеме 5 — в течение второго цикла работы устройства.

Выходы регистров 6, 10 подсоединены к сумматору 11, выход которого соединен со входами регистра 6 и делителя выходного кода 12.

Преобразователь работает следующим образом.

В исходном состоянии регистр 10 и регистр блока 2 находятся в состоянии «0», а элементы коммутации 8 в положении, при котором входы декодирующего преобразователя 7 подсоединены к прямым выходам соответствующих разрядов регистра 6. В течение первого цикла в блоке 2 формируется цифровой эквивалент преобразуемого напряжения. В процессе формирования на выходе декодирующего преобразователя 7 образуется ступенчато нарастающее напряжение вследствие указанного способа подсоединения декодирующего преобразователя к регистру 6.

Преобразуемое напряжение  $U_n$  и выходное напряжение декодирующего преобразователя 7 в течение первого цикла сравниваются при помощи схемы сравнения 4, выходные сигналы которой используются для формирования кода. По окончании первого цикла под действием импульса записи, поступающего на блок вентиля 9, результат зондирования преобразуемого напряжения нарастающим напряжением с выхода декодирующего преобразователя 7 из регистра блока 2 переводится в первый регистр 10. В течение второго цикла управляющими сигналами из блока 1 регистр блока формирования кода 2 устанавливается в исходное состояние «0», а элементы коммутации 8 переводятся в положение, при котором входы декодирующего преобразователя 7 подсоединяются к инверсным выходам соответствующих разрядов регистра 6. Такое подключение входов декодирующего преобразователя 7 приводит к тому, что при формировании кода на его выходе образуется ступенчато падающее напряжение.

Преобразуемое напряжение  $U_n$  и выходное напряжение декодирующего преобразователя 7 в течение второго цикла сравниваются при помощи схемы сравнения 5, выходные сигналы которой используются для формирования кода. По окончании второго цикла в регистре

6 оказывается записанным результат зондирования преобразуемого напряжения  $U_n$  падающим напряжением с выхода декодирующего преобразователя.

- 5 В течение третьего цикла осуществляется выборка кодов из регистров 6 и 10, их суммирование при помощи сумматора 11 и деление результата суммирования на два при помощи делителя 12. При этом на выходе сумматора 11 формируется удвоенный цифровой эквивалент преобразуемого напряжения  $U_n$ , а на выходе делителя 12 формируется код преобразуемого напряжения  $U_n$ . Благодаря тому, что погрешности преобразования, обусловленные дрейфом нуля схем сравнения 4 и 5, входят в результаты первого и второго зондирования с противоположными знаками, то при образовании цифрового эквивалента они компенсируются. По окончании третьего цикла преобразователь устанавливается в исходное состояние и процесс аналого-цифрового преобразования повторяется.

- 25 Таким образом, в результате введения в устройство дополнительной схемы сравнения, временные и температурные нестабильности которой идентичны аналогичным параметрам основной схемы сравнения, повышается точность и расширяются функциональные возможности устройства за счет обеспечения возможности быстрого кодирования аналоговых сигналов от высокочастотных датчиков.

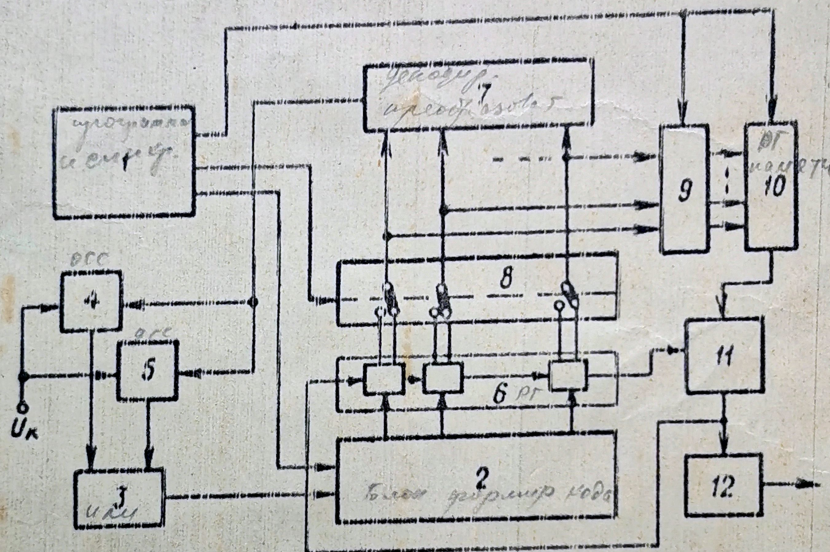
### Предмет изобретения

- 35 Аналого-цифровой преобразователь с цифровой коррекцией нуля, содержащий схему сравнения, первый вход которой подключен к источнику преобразуемого напряжения, а второй — к выходу декодирующего преобразователя, входы которого через блок вентиля 40 подключены ко входам первого регистра, выход которого соединен с первым входом сумматора, второй вход которого соединен с выходом второго регистра, а выход соединен со входом второго регистра, управляющие входы которого 45 подключены к выходам блока формирования кода, первый вход которого соединен с третьим выходом блока программы и синхронизации, первый выход которого соединен с управляющими входами блока вентиля и первого регистра, отличающийся тем, что, с целью повышения точности работы преобразователя, в него введены дополнительная схема 50 сравнения, второй вход которой подключен к источнику преобразуемого напряжения, а первый — к декодирующему преобразователю, схема «ИЛИ», первый вход которой соединен с выходом схемы сравнения, а второй — с выходом дополнительной схемы 55 сравнения, а выход соединен со вторым входом блока формирования кода, блок элементов коммутации, входы которого соединены с выходами второго регистра, управляющий вход соединен со вторым выходом блока про-



граммы и синхронизации, а выходы подключены ко входам декодирующего преобразова-

теля, и делитель выходного кода, выход которого подключен к сумматору.



Составитель А. Федриков

Редактор А. Зиньковский

Техред А. Дроздова

Корректор Л. Царькова

Заказ 3503/15

Изд. № 79

Тираж 811

Полное

ЦНИИПИ Государственного комитета Совета Министров СССР  
по делам изобретений и открытий  
Москва, Ж-35, Раушанская наб., д. 4/5

Типография, пр. Сапунова, 2