



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

(11) 741459

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 23.10.78 (21) 2677131/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.06.80. Бюллетень № 22

Дата опубликования описания 15.06.80

(51) М. Кл.²

Н 03 К 13/17

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

Ю.М. Горетов и В.Г. Попов

(71) Заявитель

Особое конструкторское бюро Института космических
исследований АН СССР

Ильинский
Ушаков - Ушаков
Самойленко - Самойленко
Карабак - Карабак
Сильгов - Сильгов
Водкин - Водкин

(54) СПОСОБ АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАНИЯ И УСТРОЙСТВО ДЛЯ ЕГО ОСУЩЕСТВЛЕНИЯ

1
Изобретение относится к импульсной технике и может быть использовано в информационно-измерительных системах.

Известен способ аналого-цифрового преобразования, заключающийся в том, что входной сигнал в первом такте интегрируют, а затем во втором такте за ряд последовательных шагов разряжают интегратор от источника опорного напряжения, полярность которого противоположна полярности измеряемого напряжения, а величина его меняется в каждом шаге интегрирования и выбирается сравнением проинтегрированного входного сигнала с напряжением, определяющим вес каждого шага интегрирования. Ряд напряжений, определяющих количество шагов интегрирования и вес каждого шага, является набором опорных уровней. Код преобразования определяют по количеству шагов и времени разряда каждого шага интегрирования [1].

Устройство, реализующее способ, содержит интегратор, задатчик опорных уровней, набор компараторов, определяющих сравнение проинтегрированного напряжения с набором опорных уровней, схему управления, ана-

2
лизирующую результат сравнения и подключающую с помощью входных ключей к входу интегратора соответствующие напряжения опорного уровня, а к генератору тактовых импульсов - разрядные счетчики.

5 Недостатками способа являются малое быстродействие преобразования и конструктивная сложность его реализации, поскольку устройство содержит число компараторов, равное количеству опорных уровней, т. е. числу шагов интегрирования, которое, в конечном итоге, определяет быстродействие преобразователя.

15 Известны и другие, более быстродействующие способы преобразования, например способ поразрядного уравновешивания, параллельного действия, комбинированного типа, однако они обладают меньшей точностью и помехоустойчивостью [2].

20 Целью изобретения является повышение быстродействия преобразования и упрощение конструкции преобразователя.

30 Цель достигается тем, что входной сигнал интегрируют и в процессе интегрирования производят сравнение интегрируемого напряжения с напря-

жением опорных уровней с одновременным переключением ряда опорных уровней, по окончании интегрирования входного сигнала к входу интегратора подключают эталонное напряжение с полярностью входного сигнала и интегрируют его до ближайшего опорного уровня, по номеру которого и времени интегрирования эталонного сигнала определяют код преобразования.

Способ осуществляется с помощью устройства, включающего интегратор, выходом подключенный к вычитающему входу компаратора, суммирующий вход которого подключен к выходу смещенного цифроаналогового преобразователя-задатчика опорных уровней, а выход — к входу схемы управления, к выходам которой подключены ключ разряда интегратора и счетчики младших и старших разрядов, причем к выходу последнего подключены управляющие входы цифроаналогового преобразователя, смещающий вход которого соединен с источником эталонного сигнала.

На чертеже изображена функциональная электрическая схема устройства для осуществления способа аналого-цифрового преобразования. Оно содержит интегратор 1, к входу которого через коммутирующие ключи 2, 3 подключены соответственно источник измеряемого U_x и эталонного U_3 напряжений. Выход интегратора электрически соединен с вычитающим входом компаратора 4, суммирующий вход которого подключен к выходу цифроаналогового преобразователя 5, являющегося задатчиком опорных уровней. При этом смещающий вход преобразователя 5 электрически соединен с источником эталонного напряжения U_3 . Выход компаратора подключен к входу схемы управления 6, к выходам которой подключены счетчик 7 старших разрядов, счетчик 8 младших разрядов, коммутирующие ключи 2 и 3, а также разрядный ключ 9, включенный параллельно интегрирующей емкости 10. Выход счетчика 7 электрически соединен с управляющими ключами задатчика опорных уровней 5. Выходной код снимается с прямых выходов счетчика 7 и инверсных выходов счетчика 8.

В первом такте интегрирования на вход интегратора 1 через ключ 2 в течение времени T_x подается измеряемое напряжение U_x . Ключи 3 и 9 при этом разомкнуты, счетчик 7 находится в состоянии "нуль", что соответствует коду "00", если система рассчитана на четыре опорных уровня. Количество уровней выбирается, исходя из требования к быстродействию преобразователя.

Положение счетчика 7 определяет выходное напряжение с цифроаналогового преобразователя 5. Таким образом, в положении счетчика 7, рав-

ном нулю, с выхода преобразователя 5 на вход компаратора 4 подается напряжение, соответствующее первому опорному уровню "00". В ходе интегрирования входного сигнала выходное напряжение интегратора 1 сравнивается на компараторе 4 с выходным напряжением преобразователя 5 и, когда выходное напряжение интегратора превышает напряжение опорного уровня "00", компаратор срабатывает и выдает сигнал на схему управления 6, которая переключает счетчик 7 в положение "01", в результате чего на выходе преобразователя 5 появляется напряжение, соответствующее второму опорному уровню "01", а компаратор возвращается в исходное состояние.

Указанный процесс с соответствующим ростом выходного напряжения интегратора и опорных уровней продолжается в течение времени T_x . По окончании времени T_x ключ 2 размыкается, а ключ 3 замыкается и на вход интегратора поступает эталонное напряжение, равное максимальному опорному уровню. Интегратор продолжает интегрировать эталонное напряжение с тем же знаком, что и входной сигнал. В то же время со схемы управления 6 на вход счетчика 8 начинает поступать тактовая частота. Когда напряжение на выходе интегратора 1 превысит напряжение, выставленное в момент окончания интегрирования входного сигнала, компаратор 4 срабатывает, схема управления размыкает ключ 3, отключает генератор тактовой частоты от входа счетчика 8 и через промежуток времени $T_{сч}$, в течение которого происходит считывание показаний счетчиков 7 и 8, формирует импульс, который устанавливает счетчики в исходное состояние и замыкает ключ 9, интегрирующая емкость разряжается до нуля и система возвращается в исходное состояние.

Старшие разряды кода снимаются с прямых выходов счетчика 7, а младшие — с инверсных выходов счетчика 8.

Формула изобретения

1. Способ аналого-цифрового преобразования, включающий интегрирование входного сигнала и сравнение его с набором опорных уровней, отличающийся тем, что, с целью увеличения быстродействия, сравнение с набором опорных уровней производят одновременно с интегрированием входного сигнала, по окончании которого включают эталонный сигнал той же полярности и интегрируют его до следующего опорного уровня, по номеру которого и времени интегри-

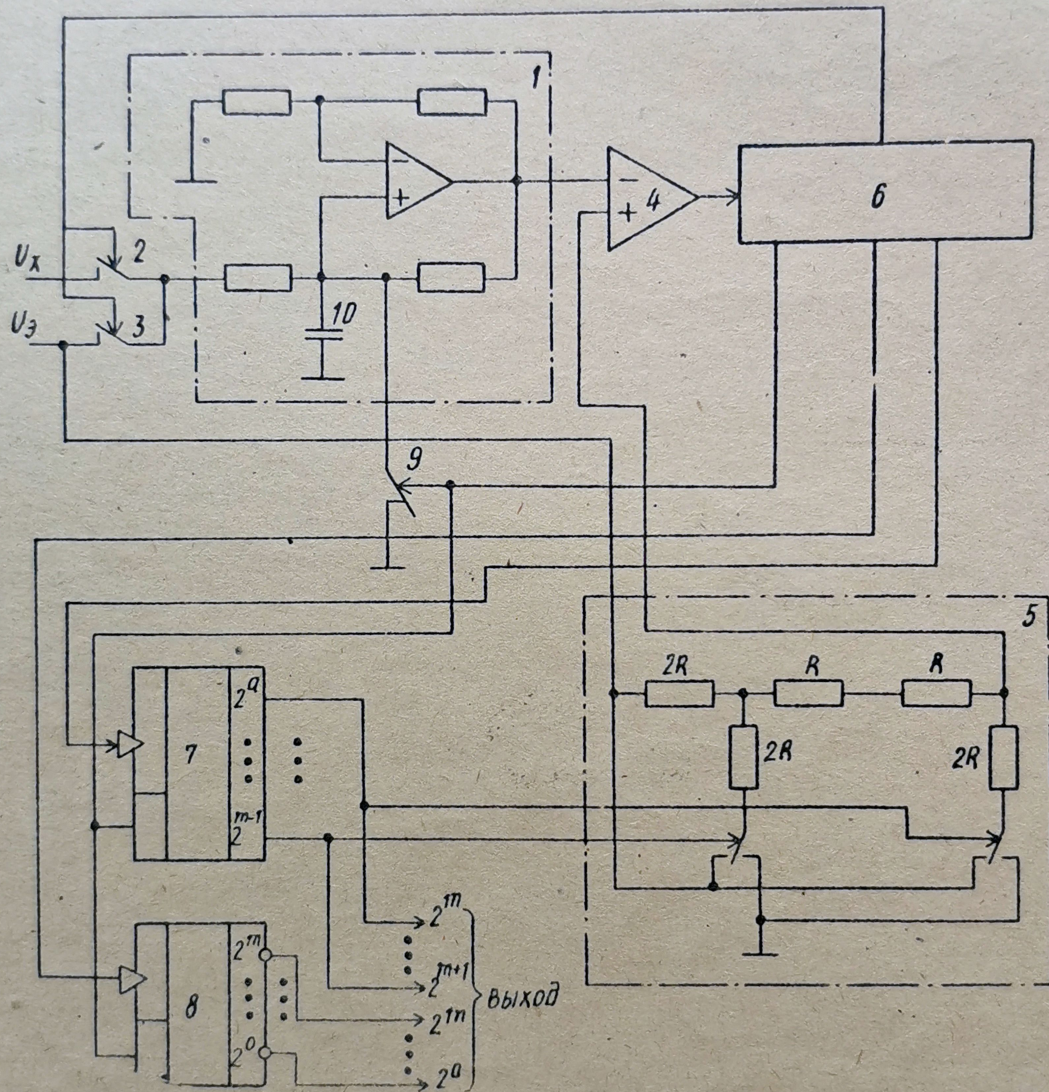
рования эталонного сигнала определяют код преобразования.

2. Устройство для осуществления способа по п. 1 включает интегратор, выход которого подключен к вычитающему входу компаратора, суммирующий 5 вход которого подключен к выходу цифроаналогового преобразователя, а выход - к входу блока управления, к выходам которого подключены ключ разряда интегратора, счетчик младших разрядов и счетчик старших разрядов, 10 к выходу которого подключены управ-

ляющие входы цифроаналогового преобразователя, смешивающий вход которого соединен с источником эталонного сигнала.

Источники информации, принятые во внимание при экспертизе

1. Прянишников В.А. Интегрирующие цифровые вольтметры постоянного тока. Л., "Энергия", 1976, с. 49-53.
2. Бахтиаров Г.Д., Дикий С.А. Аналого-цифровые преобразователи, "Зарубежная радиоэлектроника", № 1, 1975, с. 52-90 (прототип).



Составитель Ю. Богданов
 Редактор Т. Юрчикова Техред Н. Бабурка Корректор М. Коста

Заказ 3218/54 Тираж 995 Подписное
 ЦНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ПП "Патент", г. Ужгород, ул. Проектная, 4