

Союз Советских
Социалистических
Республик



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е И З О Б Р Е Т Е Н И Я

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

Каравас
(11) 943672

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 16.12.80 (21) 3218424/24-07

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.07.82. Бюллетень № 26

Дата опубликования описания 15.07.82

(51) М. Кл.³

G 05 F 1/44

(53) УДК 621.316.
.722.1(088.8)

(72) Авторы
изобретения

А. Е. Волынский, С. А. Рачин и А. А. Смирнов

(71) Заявитель

Сильгов - Шинков
Тонкин - Шинков

(54) ИСТОЧНИК КАЛИБРОВАННЫХ НАПРЯЖЕНИЙ

Ставропольская
центральная
научно-техническая
библиотека

1
Изобретение относится к электротех-
нике, в частности к управляемым источ-
никам напряжения, и предназначено для
использования в электротехнических ус-
тановках различного назначения.

Известен источник калиброванных на-
пряжений, в котором выходное напряже-
ние является взвешенной суммой выход-
ного сигнала неточного преобразователя
код-напряжение и искаженного пупьсац-
иями сигнала поправки, формируемого на
выходе блока интегрирования [1].

Недостатком данного устройства явля-
ется погрешность линейности, обусловлен-
ная эффектом абсорбции диэлектрика ин-
тегрирующего конденсатора в канале фор-
мирования поправки.

Наиболее близким техническим реше-
нием к изобретению является устройст-
во, в котором снижение влияния эффекта
абсорбции на линейность выходной харак-
теристики управляемого источника напря-
жения обеспечивается уменьшением за-

2
ряда интегрирующего конденсатора путем
одновременного интегрирования в канале
формирования поправки алгебраической
суммы двух токовых сигналов. Устройст-
во содержит регистр памяти, преобразо-
ватель код-напряжение, аналоговый сум-
матор, преобразователь кода во времен-
ной интервал, опорный элемент, преобра-
зователь напряжения в ток, блок управ-
ления, два ключевых элемента, последо-
вательно включенные первый и второй
блоки интегрирования, при этом входная
клемма связана со входом регистра
памяти, первый и второй входы послед-
него подключены соответственно ко вхо-
ду преобразователя код-напряжение к
входу преобразователя кода во времен-
ной интервал, первый и второй входы ана-
логового сумматора соответственно свя-
заны с выходами преобразователя код-
напряжение и второго блока интегрирова-
ния, выход аналогового сумматора свя-
зан с выходной клеммой, выход преобра-
зователя напряжения в ток через первый

ключевой элемент связан со входом первого блока интегрирования, первый вывод второго ключевого элемента соединен со входом первого блока интегрирования, а вход синхронизации регистра памяти, вход сброса первого блока интегрирования и вход управления второго блока интегрирования подключены к соответствующим выходам блока управления [2].

Недостатком этого устройства является невысокая точность.

Целью изобретения является повышение точности.

Поставленная цель достигается тем, что источник калиброванных напряжений, содержащий регистр памяти, преобразователь код-напряжение, аналоговый сумматор, преобразователь кода во временной интервал, опорный элемент, преобразователь напряжения в ток, блок управления, два ключевых элемента, последовательно включенные первый и второй блоки интегрирования, в котором входная клемма связана со входом регистра памяти, первый и второй выходы последнего подключены соответственно ко входу преобразователя код-напряжение и входу преобразователя кода во временной интервал, первый и второй входы аналогового сумматора соответственно связаны с выходами преобразователя код-напряжение и второго блока интегрирования, выход аналогового сумматора связан с выходной клеммой, выход преобразователя напряжения в ток через первый ключевой элемент связан со входом первого блока интегрирования, первый вывод второго ключевого элемента соединен со входом первого блока интегрирования, а вход синхронизации регистра памяти, вход сброса первого блока интегрирования и вход управления второго блока интегрирования подключены к соответствующим выходам блока управления, введены два коммутатора, второй преобразователь напряжения в ток и матричный коммутатор, причем первый вход первого коммутатора и второй вход второго коммутатора связаны с выходом устройства, второй вход первого коммутатора и первый вход второго коммутатора подключены к выходу опорного элемента, входы первого и второго преобразователей напряжения в ток соединены с выходом соответствующего коммутатора, выход второго преобразователя напряжения в ток соединен со вторым выходом соответствующего ключевого элемента, первый и второй входы матрично-

го коммутатора соединены соответственно с дополнительным выходом блока управления и выходом преобразователя кода во временной интервал, первый и второй выходы матричного коммутатора связаны с управляющим входом соответствующего ключевого элемента, а вход управления матричного коммутатора, объединенные первые входы управления первого и второго коммутаторов и объединенные вторые входы управления данных коммутаторов подключены к соответствующим дополнительным выходам блока управления.

Дальнейшее повышение точности управляемого источника напряжений обеспечивается уменьшением составляющей погрешности устройства, обусловленной сдвигом нуля преобразователя напряжения в ток.

Поставленная цель достигается также тем, что в источник калиброванных напряжений дополнительно введены третий и четвертый коммутаторы, преобразователи напряжения в ток дополнительно оборудованы инверсными входами, а второй блок интегрирования снабжен входом изменения направления интегрирования, причем первый вход третьего коммутатора объединен со вторым входом четвертого коммутатора и связан с выходной клеммой, второй вход третьего коммутатора объединен с первым входом четвертого коммутатора и связан с выходом блока опорного напряжения, выходы третьего и четвертого коммутаторов соответственно связаны с инверсными входами первого и второго преобразователей напряжения в ток, а вход изменения направления интегрирования второго блока интегрирования, объединенные первые входы управления и объединенные вторые входы управления третьего и четвертого коммутаторов подключены к соответствующим дополнительным выходам блока управления.

Повышение точности также может производиться за счет введения дополнительных тактов интегрирования выходных сигналов преобразователей напряжения в ток и вычитания результатов интегрирования из результата интегрирования в рабочих тактах.

Поставленная цель достигается и тем, что в источнике калиброванных напряжений первый и второй коммутаторы дополнительно оборудованы третьими входами и третьими входами управления, а вто-

рой блок интегрирования снабжен входом изменения направления интегрирования, причем третий вход каждого коммутатора связан с выходом соответствующего дополнительного источника напряжения или с шиной нулевого потенциала, а объединенные третьи входы управления коммутаторов и вход изменения направления интегрирования второго блока интегрирования подключены к соответствующим дополнительным выходам блока управления.

Дальнейшее повышение точности источника производится за счет устранения пульсаций на выходе второго блока интегрирования при изменении направления интегрирования данного блока.

Это достигается тем, что в источнике калиброванных напряжений второй блок интегрирования оборудован дополнительным входом считывания результата интегрирования, соединенным с соответствующим выходом блока управления, и выполнен в виде последовательного включения входного ключа, интегрирующего усилителя со входом изменения направления интегрирования и аналогового запоминающего устройства, причем вход считывания результата интегрирования данного блока связан со входом синхронизации аналогового запоминающего устройства, а вход управления и вход изменения направления интегрирования блока соединены соответственно со входом управления входного ключа и входом изменения направления интегрирования интегрирующего усилителя.

Повышение быстродействия устройства обеспечивается путем сокращения длительности цикла за счет частичного совмещения во времени операций, реализуемых первым и вторым блоками интегрирования.

Это достигается тем, что в управляемом источнике напряжений первый блок интегрирования оборудован дополнительным входом считывания результата интегрирования, соединенным с соответствующим выходом блока управления, и выполнен в виде последовательного включения интегрирующего усилителя со входом сброса и аналогового запоминающего устройства, причем вход считывания результата интегрирования данного блока связан со входом синхронизации аналогового запоминающего устройства, а вход сброса блока соединен с соответствующим входом интегрирующего усилителя.

На фиг. 1 и 2 приведены соответственно структурная схема устройства, поясняющие его работу временные диаграммы; на фиг. 3 и 4 - структурная схема и временные диаграммы устройства, в котором устранена погрешность, обусловленная сдвигами нуля преобразователей напряжения в ток; на фиг. 5 и 6 - возможные варианты выполнения структурной схемы устройства, в котором повышение точности обеспечивается за счет дополнительных тактов интегрирования; на фиг. 7 - вариант выполнения второго блока интегрирования, позволяющий устранить пульсации на выходе устройства при изменении направления интегрирования; на фиг. 8 - вариант выполнения первого блока интегрирования, позволяющий повысить быстродействие управляемого источника напряжений.

Управляемый источник напряжений содержит регистр памяти 1, преобразователь код-напряжение 2, аналоговый сумматор 3, преобразователь кода во временной интервал 4, первый и второй блоки интегрирования 5 и 6 соответственно, блок управления 7, первый и второй ключевые элементы 8 и 9 соответственно, опорный элемент 10, первый и второй преобразователи напряжения в ток 11 и 12 соответственно, первый и второй коммутаторы 13 и 14 соответственно и матричный коммутатор 15.

Вариант устройства, структурная схема которого приведена на фиг. 3, дополнительно содержит третий и четвертый коммутаторы 16 и 17 соответственно. Другой вариант устройства, структурная схема которого показана на фиг. 6, дополнительно содержит первый и второй дополнительные источники напряжения 18 и 19 соответственно.

Возможным вариантом выполнения блока 6 является приведенное на фиг. 7 совместное включение входного ключа 20, интегрирующего усилителя 21 со входом изменения направления интегрирования и аналогового запоминающего устройства 22. Возможным вариантом выполнения блока 5 является приведенное на фиг. 8 последовательное включение интегрирующего усилителя 23 со входом сброса и аналогового запоминающего устройства 24.

Устройство работает следующим образом.

По команде блока 7 входной код передается в регистр 1, при этом на выходе преобразователя 2 устанавливает-

ся пропорциональное данному коду напряжение E . Выходное напряжение сумматора 3 в произвольный момент времени определяется выражением

$$U_{\text{Вых}}(t) = \nu_1 E_1 + \nu_2 U_2(t), \quad (1)$$

где $U_2(t)$ — напряжение на выходе блока 6;

ν_1, ν_2 — коэффициенты передачи сумматора 3 по соответствующим входам.

Процесс установления выходного напряжения устройства носит итерационный характер и осуществляется в течение n циклов, а определение блоком 5 в каждом цикле алгебраической суммы результатов интегрирования опорного и входного сигналов занимает два такта. В начале i -го цикла блок управления 7 производит сброс блока 5. Далее в начале первого такта данного цикла блок 7 через коммутатор 13 подключает вход преобразователя 11 к выходу устройства и через коммутатор 14 — вход преобразователя 12 к выходу блока 10. На выходах преобразователей 11 и 12 устанавливаются токи, пропорциональные выходному $U_{\text{Вых}}[i-1]$ и опорному E напряжениям:

$$J_{11} = S_1 U_{\text{Вых}}[i-1] \text{ и } J_{12} = S_2 E,$$

где S_1 и S_2 — крутизна преобразователя 11 и 12 соответственно, причем $S_2 = S(1 + \sigma^2)$, $|\sigma^2| \ll 1$. По окончании интервала, достаточного для завершения переходных процессов в преобразователях 11 и 12 блоком 7, выдается сигнал управления матричному коммутатору 15, по которому последний подключает управляющий вход элемента 8 к дополнительному выходу блока 7, а управляющий вход ключевого элемента 9 — к выходу преобразователя, в результате данных подключений элемент 8 замыкается на время $T/2$, замкнутое состояние элемента 8 в первом такте условно показано на на фиг. 2, a_1 , а элемент 9 периодически включается с помощью управляющей последовательности из $l/2$ равномерно составленных временных интервалов длительности T_x/l (на диаграмме a_2). Данная последовательность интервалов вырабатывается преобразователем 4 и предназначена для широтно-импульсной модуляции выходного тока преобразователя 11. Формируемые таким путем импульсы тока поступают на вход блока 5 и одновременно с ними на вход блока в течение интерва-

ла длительности $T/2$ подается выходной ток преобразователя 12. Алгебраическая сумма токов интегрируется блоком 5, а результат интегрирования в конце первого такта фиксируется в данном блоке (процесс интегрирования показан ломаной a_3).

В начале второго такта 7 с помощью коммутатора 13 обеспечивается отклонение входа преобразователя 11 от выхода устройства и подключение к выходу блока 10, аналогично коммутатором 14 отключается вход преобразователя 12 от выхода блока 10 и подключается к выходу управляемого источника напряжений. На выходах преобразователей 11 и 12 устанавливаются соответствующие входные сигналы тока $J_{11} = S_1 E$, $J_{12} = S_2 U_{\text{Вых}}[i-1]$ а по окончании переходных процессов в преобразователях блок 7 с помощью матричного коммутатора 15 подключает выход преобразователя 4 к управляющему входу элемента 9. В результате данных операций элемент 8 периодически включается последовательностью управляющих временных интервалов длительности $T_x/2$ (на диаграмме данная последовательность a_4), а элемент 9 замыкается на время $T/2$ (на диаграмме a_5). Аналогично первому такту алгебраическая сумма постоянного и импульсного токов преобразователей 12 и 11 интегрируется блоком 5 (процесс интегрирования показан ломаной a_6) и суммируется в блоке с результатом первого такта.

Выходное напряжение блока 5 по окончании второго такта

$$\begin{aligned} U_1[i] &= \left\{ J_{11} \frac{T}{2C} + J_{12} \sum_{r=1}^{l/2} \frac{T_x}{lC} + J_{12} \sum_{r=1}^{l/2} \frac{T_x}{lC} + J_{22} \frac{T}{2C} \right\} \\ &= S_1 U_{\text{Вых}}[i-1] \left\{ \frac{T}{C} + \sigma^2 \frac{T}{2C} \right\} + ES_2 \left\{ \frac{T_x}{C} + \sigma^2 \frac{T_x}{2C} \right\} = \\ &= \frac{S_1}{C} \left(1 + \frac{1}{2} \sigma^2 \right) \left\{ U_{\text{Вых}}[i-1] T + E T_x \right\}, \quad (2) \end{aligned}$$

где C — емкость интегрирующего конденсатора блока 5.

Последующая работа устройства аналогична работе известного устройства, выходное напряжение блока 5 интегрируется в течении временного интервала длительности T_0 блоком 6 (процесс интегрирования показан кривой a_7), выполняющим функции накапливающего сумматора поправок, а выходной сигнал блока 6 воспринимается сумматором 3 в качестве поправки данного цикла. К кон-

Ф о р м у л а и з о б р е т е н и я

1. Источник калиброванных напряжений, содержащий регистр памяти, преобразователь код-напряжение, аналоговый сумматор, преобразователь кода во временной интервал, опорный элемент, преобразователь напряжения в ток, блок управления, два ключевых элемента, последовательно включенные первый и второй блоки интегрирования, при этом входная клемма связана с входом регистра памяти, первый и второй выходы последнего подключены соответственно к входу преобразователя код-напряжение и входу преобразователя кода во временной интервал, первый и второй входы аналогового сумматора соответственно связаны с выходами преобразователя код-напряжение и второго блока интегрирования, выход аналогового сумматора связан с выходной клеммой, выход преобразователя напряжения в ток через первый ключевой элемент связан с входом первого блока интегрирования, первый вывод второго ключевого элемента соединен с входом первого блока интегрирования, а вход синхронизации регистра памяти, вход сброса первого блока интегрирования и вход управления второго блока интегрирования подключены к соответствующим выходам блока управления, отличающийся тем, что, с целью повышения точности, в него введены два коммутатора, второй преобразователь напряжения в ток и матричный коммутатор, причем первый вход первого коммутатора и второй вход второго коммутатора связаны с выходной клеммой, второй вход первого коммутатора и первый вход второго коммутатора подключены к выходу опорного элемента, входы первого и второго преобразователей напряжения в ток соединены с выходом соответствующего коммутатора, выход второго преобразователя напряжения в ток соединен с вторым выходом соответствующего ключевого элемента, первый и второй входы матричного коммутатора соединены соответственно с дополнительным выходом блока управления и выходом преобразователя кода во временной интервал, первый и второй входы матричного коммутатора связаны с управляющим входом соответствующего ключевого элемента, а вход управления матричного коммутатора, объединенные первые входы управления первого и второго коммутаторов и объеди-

ненные вторые входы управления данных коммутаторов подключены к соответствующим дополнительным выходам блока управления.

2. Источник по п. 1, отличающийся тем, что в него введены третий и четвертый коммутаторы, а преобразователи напряжения в ток дополнительно снабжены инверсными входами, и второй блок интегрирования снабжен входом изменения направления интегрирования, причем первый вход третьего коммутатора объединен с вторым входом четвертого коммутатора и связан с выходной клеммой, второй вход третьего коммутатора объединен с первым входом четвертого коммутатора и связан с выходом опорного элемента, выход третьего и четвертого коммутаторов соответственно связаны с инверсными входами первого и второго преобразователей напряжения в ток, а вход изменения направления интегрирования второго блока интегрирования, объединенные первые входы управления и объединенные вторые входы управления третьего и четвертого коммутаторов подключены к соответствующим дополнительным выходам блока управления.

3. Источник по п. 1, отличающийся тем, что первый и второй коммутаторы дополнительно оборудованы третьими входами и третьими входами управления, а второй блок интегрирования снабжен входом изменения направления интегрирования, причем третий вход каждого коммутатора связан с выходом соответствующего введенного источника напряжения или с шиной нулевого потенциала, а объединенные третьи входы управления коммутаторов и вход изменения направления интегрирования второго блока интегрирования подключены к соответствующим дополнительным выходам блока управления.

4. Источник по пп. 2 и 3, отличающийся тем, что, с целью устранения пульсаций при изменении направления интегрирования второго блока интегрирования, данный блок оборудован дополнительным входом считывания результата интегрирования, соединенным с соответствующим выходом блока управления, и выполнен в виде последовательно включенного входного ключа, интегрирующего усилителя с входом изменения направления интегрирования и аналогового запоминающего устройства, причем вход считывания результата интегрирования

данного блока связан с входом синхронизации аналогового запоминающего устройства, а вход управления и вход изменения направления интегрирования блока соединены соответственно с входом управления входного ключа и входом изменения направления интегрирования интегрирующего усилителя.

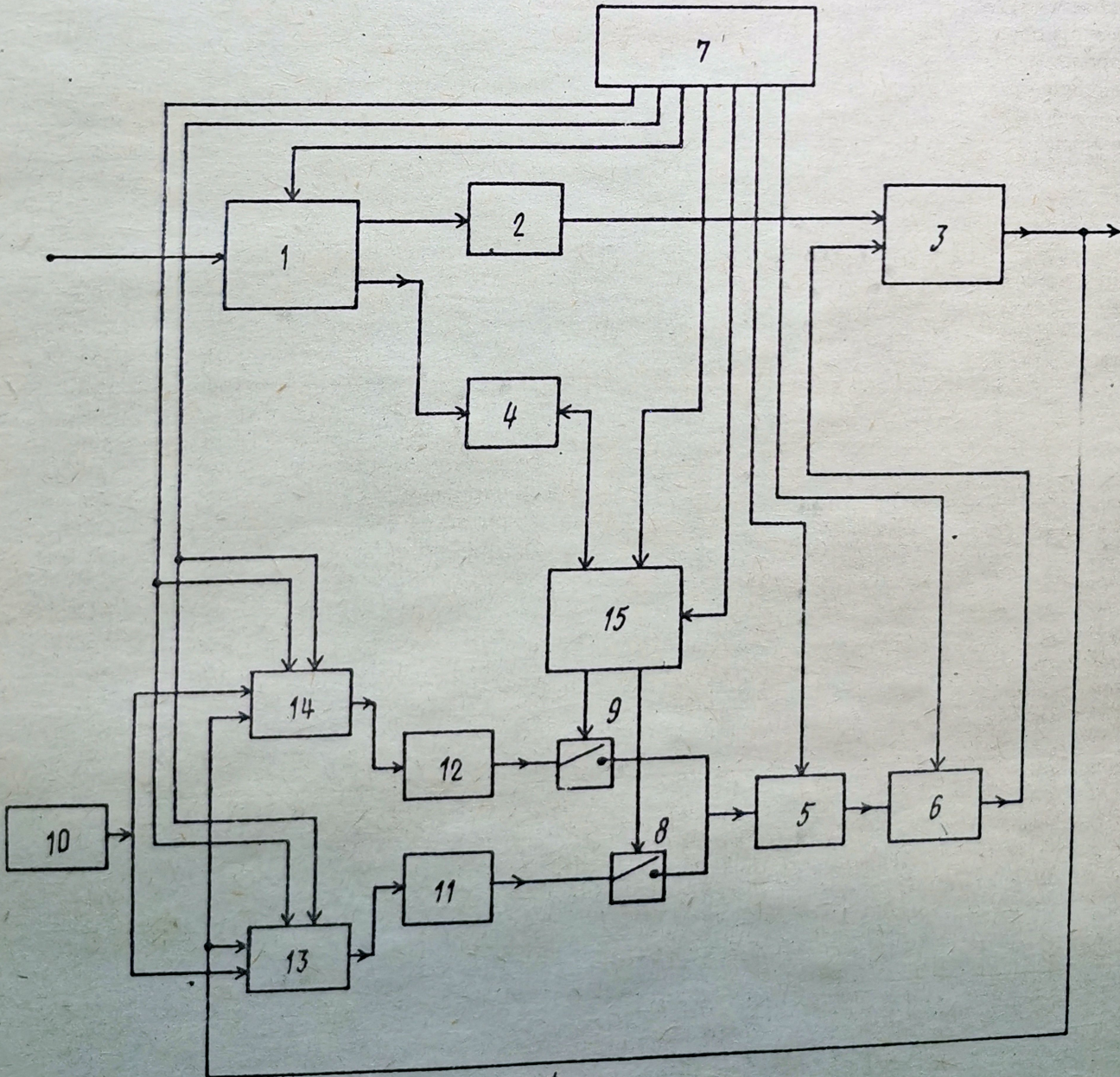
5. Источник по пп. 2 и 3, отличающийся тем, что, с целью увеличения быстродействия, первый блок интегрирования оборудован дополнительным входом считывания результата интегрирования, соединенным с соответствующим выходом блока управления, и выполнен в виде последовательного включения интегрирующего усилителя с входом сброса

са и аналогового запоминающего устройства, причем вход считывания результата интегрирования данного блока связан с входом синхронизации аналогового запоминающего устройства, а вход сброса блока соединен с соответствующим входом интегрирующего усилителя.

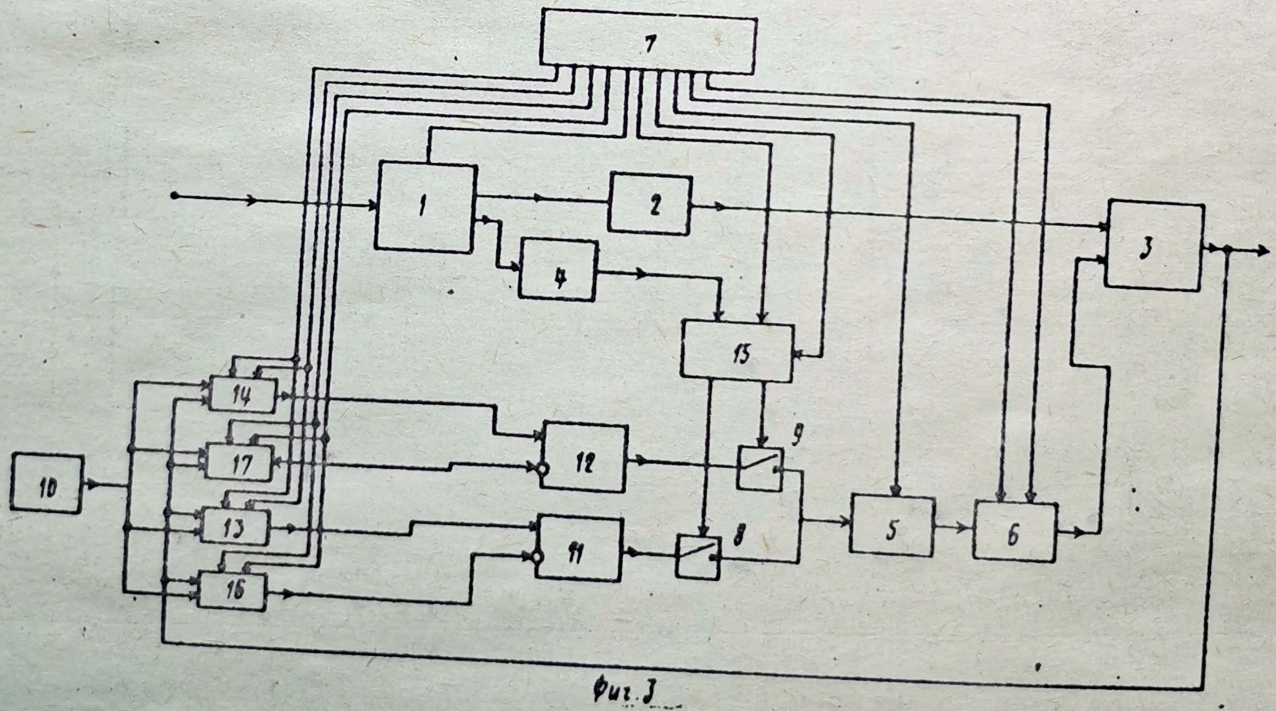
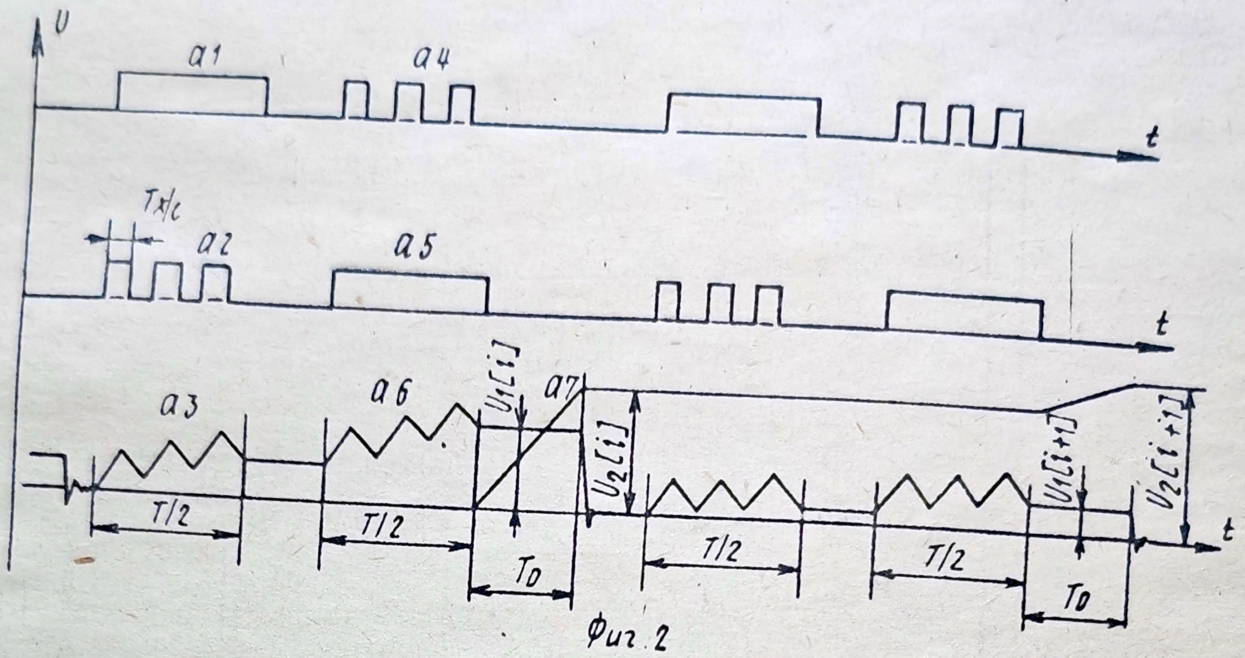
Источники информации, принятые во внимание при экспертизе

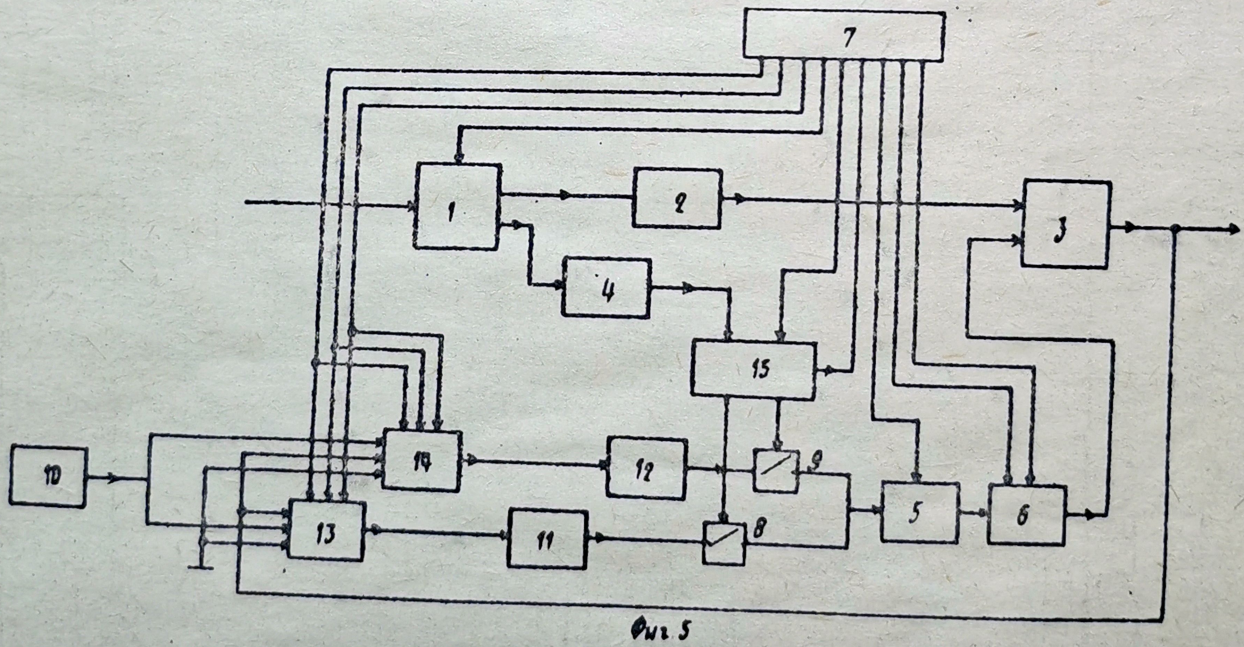
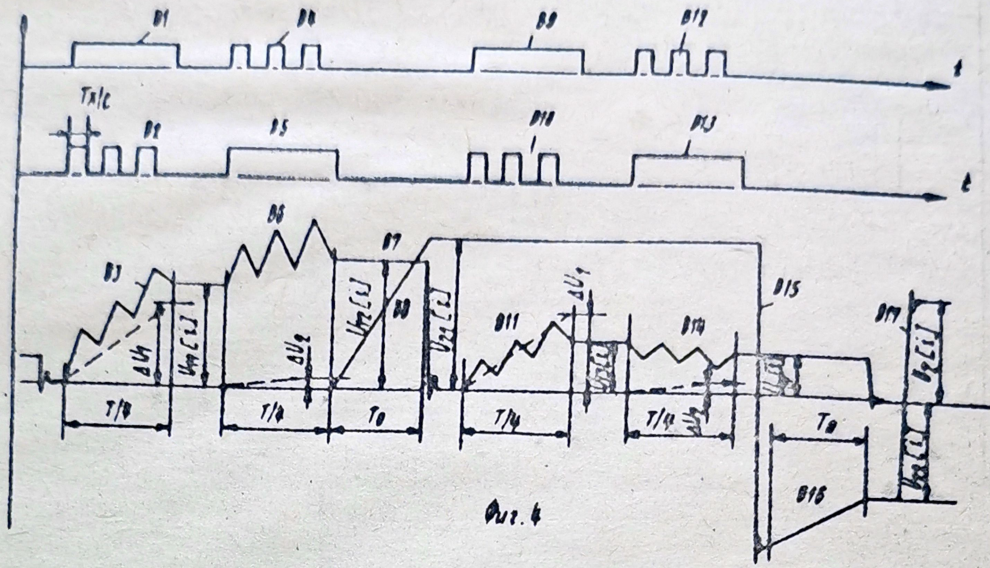
1. Авторское свидетельство СССР по заявке № 2744404/24-07, кл. G 05 F 1/44, 1979.

2. Авторское свидетельство СССР по заявке № 2942653/24-07, кл. G 05 F 1/44, 21.08.80.

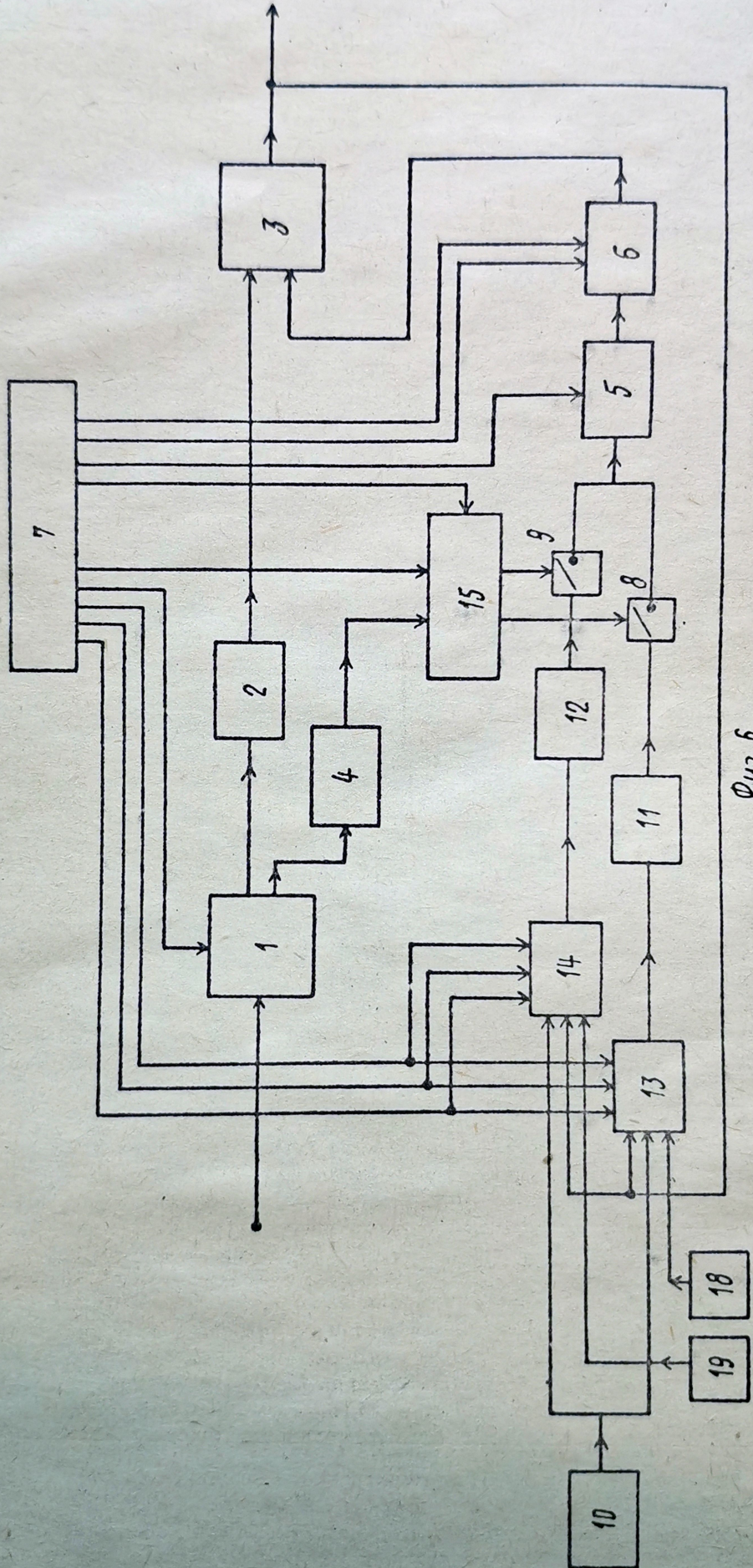


Фиг. 1

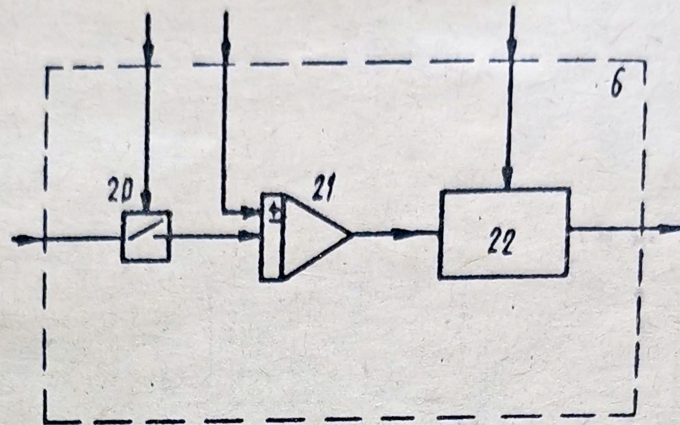




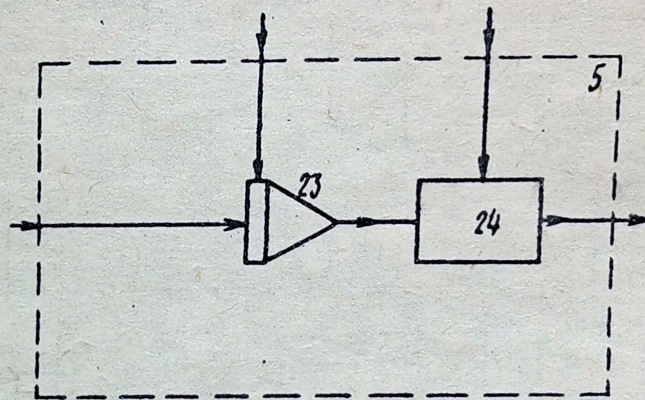
943672



Фиг. 6



Фиг. 7



Фиг. 8

Составитель С. Чернышева

Редактор Л. Повхан Техред М.Надь

Корректор М. Демчик

Заказ 5531

Тираж 914

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4